

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-228831

(43)Date of publication of application : 24.08.2001

(51)Int.Cl. G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 2000-040174 (71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 17.02.2000 (72)Inventor : MURAIDE MASAO

(54) OPTOELECTRONIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an optoelectronic device for displaying an image or the like, based on image signals that are serial/parallel converted into plural phases by which the display image can be inverted right and left.

SOLUTION: In a first display mode, a sampling start signal is supplied to a first bidirectional shift register 13, and a precharge start signal is supplied to a second bidirectional shift register 14. In a second display mode, the sampling start signal is supplied to the shift register 14, and the precharge start signal is supplied to the shift register 13.

LEGAL STATUS [Date of request for examination] 19.01.2004
[Date of sending the examiner's decision of rejection] 09.05.2006
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more data lines with which a picture signal is supplied, and two or more scanning lines with which a scan signal is supplied, In the electro-optic device equipped with the switching means connected to said each data line and said each scanning line, and the pixel electrode connected to said switching means The 1st and 2nd bidirectional shift registers, and the 1st and the 2nd wiring group, The 1st sampling circuit which tells the condition of the potential of said 1st wiring group to said data line based on the timing of the output of said 1st bidirectional shift register, The 2nd sampling circuit which tells the condition of the potential of said 2nd wiring group to said data line based on the timing of the output of said 2nd bidirectional shift register, In the case of the 1st display mode, said 1st and 2nd bidirectional shift registers are shifted in the 1st direction. Supply a sampling start signal to said 1st shift register, and a precharge start signal is supplied to said 2nd shift register. Make the potential used as a picture signal supply to said 1st wiring group, and precharge potential is made to supply to said 2nd wiring group. In the case of the 2nd display mode, said 1st and 2nd bidirectional shift registers are shifted in the 2nd direction.

Supply a sampling start signal to said 2nd shift register, and a precharge start signal is supplied to said 1st shift register. The electro-optic device characterized by having the change-over circuit controlled to make the potential used as a picture signal supply to said 2nd wiring group, and to make precharge potential supply to said 1st wiring group.

[Claim 2] Said 1st and 2nd bidirectional shift registers are electro-optic devices according to claim 1 characterized by driving with a common clock signal.

[Claim 3] Said 1st and 2nd bidirectional shift registers are electro-optic devices according to claim 1 or 2 characterized by setting up the shift direction by the common scanning direction selection signal.

[Claim 4] claim 1 characterized by constituting said 1st bidirectional shift register so that the potential of said 1st wiring group may get across to said two or more data lines one by one and an output signal may be supplied to said 1st sampling circuit, and constituting said 2nd bidirectional shift register so that the potential of said 2nd wiring group may get across to said two or more data lines one by one and an output signal may be supplied to said 2nd sampling circuit thru/or 3 -- either -- the electro-optic device of a publication.

[Claim 5] Said 1st bidirectional shift register so that the potential of said 1st wiring group may get across to said two or more data lines simultaneously It is constituted so that an output signal may be supplied to said 1st sampling circuit. Said 2nd bidirectional shift register claim 1 characterized by being constituted so that the potential of said 2nd wiring group may get across to said two or more data lines simultaneously, and an output signal may be supplied to said 2nd sampling circuit thru/or 3 -- either -- the electro-optic device of a publication.

[Claim 6] Said electronic switch supplies selectively either a sampling start signal or a precharge start signal to said 1st shift register based on said scanning direction selection signal. Supply selectively another side of a sampling start signal and a precharge start signal to said 2nd shift register, and it is based on said scanning direction selection signal. The electro-optic device according to claim 5 characterized by supplying either a picture signal or precharge potential to said 1st wiring group selectively, and supplying selectively another side of an indicative data and precharge potential to it at said 2nd wiring group.

[Claim 7] Two or more data lines with which a picture signal is supplied, and two or more scanning lines with which a scan signal is supplied, In the electro-optic device equipped with the switching means connected to said each data line and said each scanning line, and the pixel electrode connected to said switching means In the case of the 1st display mode, two or more picture signals by which serial-parallel conversion was carried out are supplied in the 1st order with a signal-line group to said signal-line group. The picture signal phase sequence exchange circuit which supplies said two or more picture signals by which serial-parallel conversion was

carried out 2nd in order of reverse with said 1st order to said signal-line group in the case of the 2nd display mode, The bidirectional shift register for sampling control with which the shift direction is set up in the 1st direction in the case of said 1st display mode, and the shift direction is set up in the 2nd direction when it is said 2nd display mode, The electro-optic device characterized by having the sampling circuit which tells the condition of the potential of said signal-line group to said data line based on the timing of the output of said bidirectional shift register for sampling control.

[Claim 8] While the shift direction is set up in the 1st direction in said 1st display mode and said shift direction is set up in the 2nd direction in said 2nd display mode The bidirectional shift register for precharge control which carries out the sequential output of the precharge timing signal from each shift stage in shifting in the shift direction which had the precharge start signal specified, The electro-optic device according to claim 7 characterized by having the precharge circuit which supplies precharge potential to said data line based on said precharge timing signal.

[Claim 9] Electronic equipment characterized by having the electro-optic device indicated in any 1 term claim 1 thru/or among 6.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to an electro-optic device, and relates to the electro-optic device which is right and left reversed and enabled it to display an image in detail.

[0002]

[Description of the Prior Art] The liquid crystal equipment as an example of the electro-optic device built into a liquid crystal projector etc. may require the image with which right and left were reversed from the relation of projection optical system, and the image with which the upper and lower sides were reversed. In order to perform right-and-left inverse video and vertical inverse video, the display which made switchable the direction of the actuation circuit section of operation is known for JP,7-20826,A, JP,7-146462,A, JP,10-74062,A, etc. He uses the thing in which bidirectional actuation is possible for the shift register which constitutes the actuation circuit section, and is trying to change standard image display and a reverse image display by changing a scanning direction.

[0003] After precharging, the electro-optic device which controlled the potential shake of the picture signal line generated with improvement in the speed of a sampling rate by writing in a picture signal to a pixel is indicated by JP,7-295520,A.

[0004] Drawing 6 is the block block diagram of the electro-optic device indicated by JP,7-295520,A. The conventional electro-optic device 1000 shown in drawing 6 Each scanning line X of behavior, and each train-like data-line Y, The image display section 1100 which consists of the thin film transistor TFT and Pixel LC which have been arranged at each of those intersections, The scanning-line actuation circuit 1001, the data-line actuation circuit 1002, and the picture signal line 1003 for supplying a picture signal VID, It consists of each switching circuit HSW1 for a sampling which supplies a picture signal VID to each data-line Y based on the sampling timing signal phiH1 outputted - phiHN from the data-line actuation circuit 1002 - HSWN, and a precharge means 1004.

[0005] The gate of a thin film transistor TFT is connected to the scanning line X. The source of a thin film transistor TFT is connected to data-line Y. The drain of a thin film transistor TFT is connected to the pixel electrode of Pixel LC.

[0006] The precharge means 1004 is equipped with the actuation circuit 1005 for precharge, the precharge signal line 1006 for supplying the precharge signal VPS, and each switching circuit PSW1 for precharge which supplies the precharge signal VPS to each data-line Y based on the precharge timing signal phiP1 outputted from the actuation circuit 1005 for precharge - phiPN - PSWN.

[0007] VCK -- for a level clock signal and HST, a sampling start signal and PCK are [a vertical clock signal and VST / a vertical start signal and HCK / a precharge start signal, and phiV1 - phiVM of a level clock signal and PST] scan signals.

[0008] The scanning-line actuation circuit 1001 carries out line sequential scanning of each scanning line X based on each scan signal phiV1 - phiVM, and chooses the pixel LC for one line for every 1 level period. The data-line actuation circuit 1002 writes a picture signal VID in the pixel LC for one line chosen within 1 level period by carrying out the sequential sampling of the picture signal VID at each data-line Y by point sequential through each switching circuit HSW1 for a sampling - HSWN. Through each switching circuit PSW1 for precharge - PSWN, the precharge means 1004 is preceded with the sequential sampling of the picture signal VID over each data-line Y, and carries out sequential supply of the predetermined precharge signal VPS at each data-line Y.

[0009] Since the conventional electro-optic device 1000 shown in drawing 6 is preceded with the sequential sampling of the picture signal VID over each data-line Y and carries out sequential supply of the predetermined precharge signal VPS at each data-line Y, it can control the charge and discharge of each data-line Y by sampling. Thereby, the potential shake of the picture signal line 1003 (noise) is reduced. Therefore, it can prevent that noise patterns, such as a vertical stripe, are generated in a display image.

[0010] With the configuration which supplies a picture signal VID, the dot frequency of a picture signal VID becomes high in proportion to the number of pixels of one line by

one picture signal line. Then, the technique of reducing the dot frequency for every phase is known for carrying out serial-parallel conversion of the picture signal VID at two or more phases.

[0011] Drawing 7 is the block block diagram of the conventional electro-optic device which performs image display to two or more phases based on the picture signal which carried out serial-parallel conversion. Drawing 7 shows what carried out serial-parallel conversion of the picture signal VID at six phases.

[0012] The conventional electro-optic device 2000 shown in drawing 7 is equipped with the picture signal lines 2001-2006 of six phases. Sequential supply of the data lines Y1, Y7, and Y13 and the picture signal supplied to -- is carried out with a predetermined time interval as a picture signal VID1 of the 1st phase at the picture signal line 2001 of the 1st phase. Sequential supply of the data lines Y2, Y8, and Y14 and the picture signal supplied to -- is carried out with a predetermined time interval as a picture signal VID2 of the 2nd phase at the picture signal line 2002 of the 2nd phase. Sequential supply of the data lines Y3, Y9, and Y15 and the picture signal supplied to -- is carried out with a predetermined time interval as a picture signal VID3 of the 3rd phase at the picture signal line 2003 of the 3rd phase. Sequential supply of the data lines Y4, Y10, and Y16 and the picture signal supplied to -- is carried out with a predetermined time interval as a picture signal VID4 of the 4th phase at the picture signal line 2004 of the 4th phase. Sequential supply of the data lines Y5, Y11, and Y17 and the picture signal supplied to -- is carried out with a predetermined time interval as a picture signal VID5 of the 5th phase at the picture signal line 2004 of the 5th phase. Sequential supply of the data lines Y6, Y12, and Y18 and the picture signal supplied to -- is carried out with a predetermined time interval as a picture signal VID6 of the 6th phase at the picture signal line 2004 of the 6th phase.

[0013] The end of the 1st switching circuit HSW1 for a sampling is connected to the 1st picture signal line 2001, and the other end of the 1st switching circuit HSW1 for a sampling is connected to the 1st data line Y1. Therefore, this 1st switching circuit HSW1 for a sampling supplies the picture signal VID1 of the 1st phase to the 1st data line Y1 based on the 1st sampling timing signal ϕ_{H1} . The end of the 2nd switching circuit HSW2 for a sampling is connected to the 2nd picture signal line 2002, and the other end of the 2nd switching circuit HSW2 for a sampling is connected to the 2nd data line Y2. Therefore, this 2nd switching circuit HSW2 for a sampling supplies the picture signal VID2 of the 2nd phase to the 2nd data line Y2 based on the 2nd sampling timing signal ϕ_{H2} . the 3- the 6th switching circuit HSW3-HSW6 for a sampling -- the 3- based on the 6th sampling timing signal ϕ_{H3} to ϕ_{H6} , the picture signals VID3-VID6 of the 3rd phase - the 6th phase are supplied to the 3rd - the 6th data line Y3-Y6, respectively. In drawing 7 , although the graphic display of the data lines Y7-YN after the switching circuit HSW7 for a sampling after the 6th switching

circuit HSW6 for a sampling – HSWN, and the 6th data line Y6 is omitted, the connection configuration same as one group as the above is repeated in the six data lines.

[0014] The data-line actuation circuit 1002 is constituted using the shift register etc., is that synchronize sampling start signal HST with the level clock signal PCK, and it carries out a sequential shift, and carries out the sequential output of each sampling timing signal $\phi H1$ to $\phi H6$. Thereby, each switching circuits HSW1–HSW6 for a sampling are controlled by switch-on one by one, and sequential supply of each picture signals VID1–VID6 is carried out to each data lines Y1–Y6. And each picture signals VID1–VID6 supplied to each data lines Y1–Y6 are supplied to each pixel LC through each thin film transistor TFT connected to the gate lines X1–XM activated by the scan signal $\phi V1$ – ϕVM , respectively. Thereby, the writing of a picture signal to each pixel LC is made.

[0015]

[Problem(s) to be Solved by the Invention] the conventional electro-optic device 1000 shown in drawing 6 constitutes the data-line actuation circuit 1002 and the actuation circuit 1005 for precharge using the bidirectional shift register which can be shifted bidirectionally -- a dot order -- the next scanning direction can be reversed. Thereby, right and left of a display image can be reversed.

[0016] However, with the configuration which carried out serial-parallel conversion of the picture signal VID at two or more phases as shown in drawing 7 , even if it reverses a point sequential scanning direction, right and left of a display image cannot be reversed. In the conventional electro-optic device 2000 shown in drawing 7 , each data line in the group and the picture signal lines 2001–2006 of six phases are matched by making the six data lines into one group. therefore, a dot order -- when the next scanning direction is reversed, the sequence of the picture signal supplied to each data line in the group who consists of the six data lines is not reversed.

[0017] It was made in order that this invention might solve such a technical problem, and it aims at offering the electro-optic device which enabled it to reverse a display image right and left in the electro-optic device which displays an image etc. on two or more phases based on the picture signal by which serial-parallel conversion was carried out.

[0018]

[Means for Solving the Problem] In order to solve said technical problem, the electro-optic device of this invention Two or more data lines with which a picture signal is supplied, and two or more scanning lines with which a scan signal is supplied, In the electro-optic device equipped with the switching means connected to said each data line and said each scanning line, and the pixel electrode connected to said switching means The 1st and 2nd bidirectional shift registers, and the 1st and the 2nd wiring group, The 1st sampling circuit which tells the condition of the potential of said

1st wiring group to said data line based on the timing of the output of said 1st bidirectional shift register, The 2nd sampling circuit which tells the condition of the potential of said 2nd wiring group to said data line based on the timing of the output of said 2nd bidirectional shift register, In the case of the 1st display mode, said 1st and 2nd bidirectional shift registers are shifted in the 1st direction. Supply a sampling start signal to said 1st shift register, and a precharge start signal is supplied to said 2nd shift register. Make the potential used as a picture signal supply to said 1st wiring group, and precharge potential is made to supply to said 2nd wiring group. In the case of the 2nd display mode, said 1st and 2nd bidirectional shift registers are shifted in the 2nd direction. Supply a sampling start signal to said 2nd shift register, and a precharge start signal is supplied to said 1st shift register. It is characterized by having the change-over circuit controlled to make the potential used as a picture signal supply to said 2nd wiring group, and to make precharge potential supply to said 1st wiring group. [0019] By having such a configuration, the writing of a picture signal is controlled by the 1st bidirectional shift register and 1st sampling circuit, and impression of precharge potential is controlled by the 1st display mode by the 2nd bidirectional shift register and 2nd sampling circuit. The writing of a picture signal is controlled by the 2nd bidirectional shift register and 2nd sampling circuit, and impression of precharge potential is controlled by the 2nd display mode by the 1st bidirectional shift register and 1st sampling circuit.

[0020] Wiring connection is made so that the 1st sampling circuit may supply the picture signal of the 1st phase – the 6th phase to the 1st – the 6th data line, respectively. Therefore, sequential supply of two or more picture signals by which serial-parallel conversion was carried out at two or more phases by setting up the shift direction of the 1st bidirectional shift register in the 1st direction is carried out to each data line at the forward direction as the phase sequence. That is, sequential supply of the picture signal of a head pixel to the rear pixel of the 1 scanning line is carried out from the left-hand side data line to the right-hand side data line. Thereby, the 1st display image is displayed.

[0021] Wiring connection is made so that the 2nd sampling circuit may supply the picture signal of the 1st phase – the 6th phase to the 6th – the 1st data line, respectively. Therefore, sequential supply of two or more picture signals by which serial-parallel conversion was carried out at two or more phases by setting up the shift direction of the 2nd bidirectional shift register in the 2nd direction is carried out in the 2nd direction to each data line as the phase sequence. That is, sequential supply of the picture signal of a head pixel to the rear pixel of the 1 scanning line is carried out from the right-hand side data line to the left-hand side data line. Thereby, a mirror reversed image is displayed.

[0022] furthermore, the electro-optic device of this invention is characterized by driving said 1st and 2nd bidirectional shift registers with a common clock signal --

such -- the number of required clocks can be lessened by driving two shift registers with a common clock. Furthermore, said 1st and 2nd bidirectional shift registers are characterized by setting up the shift direction by the common scanning direction selection signal. By doing in this way, two bidirectional shift registers are controllable by one scanning direction selection signal. Furthermore, said electronic switch supplies selectively either a sampling start signal or a precharge start signal to said 1st shift register based on said scanning direction selection signal. Another side of a sampling start signal and a precharge start signal is selectively supplied to said 2nd shift register. It is characterized by supplying either a picture signal or precharge potential to said 1st wiring group selectively, and supplying selectively another side of an indicative data and precharge potential to it at said 2nd wiring group based on said scanning direction selection signal. By doing in this way, the change of the indicative data to a wiring group and precharge potential can be performed with an easy configuration. Moreover, two or more data lines with which, as for the electro-optic device of this invention, a picture signal is supplied, In the electro-optic device equipped with the switching means connected to two or more scanning lines with which a scan signal is supplied, and said each data line and said each scanning line, and the pixel electrode connected to said switching means In the case of the 1st display mode, two or more picture signals by which serial-parallel conversion was carried out are supplied in the 1st order with a signal-line group to said signal-line group. The picture signal phase sequence exchange circuit which supplies said two or more picture signals by which serial-parallel conversion was carried out 2nd in order of reverse with said 1st order to said signal-line group in the case of the 2nd display mode, The bidirectional shift register for sampling control with which the shift direction is set up in the 1st direction in the case of said 1st display mode, and the shift direction is set up in the 2nd direction when it is said 2nd display mode, It is characterized by having the sampling circuit which tells the condition of the potential of said signal-line group to said data line based on the timing of the output of said bidirectional shift register for sampling control. Furthermore, said 1st bidirectional shift register is constituted so that the potential of said 1st wiring group may get across to said two or more data lines one by one and an output signal may be supplied to said 1st sampling circuit, and it is characterized by being constituted so that the potential of said 2nd wiring group may get across to said two or more data lines one by one and said 2nd bidirectional shift register may supply an output signal to said 2nd sampling circuit. By doing in this way, the potential of two or more data lines can prevent changing at once. Furthermore, said 1st bidirectional shift register is constituted so that the potential of said 1st wiring group may get across to said two or more data lines simultaneously and an output signal may be supplied to said 1st sampling circuit, and it is characterized by constituting said 2nd bidirectional shift register so that the potential of said 2nd wiring group may get across to said two or

more data lines simultaneously, and an output signal may be supplied to said 2nd sampling circuit. The drive frequency of a shift register can be reduced by taking such a configuration.

[0023] While supplying two or more picture signals by which serial-parallel conversion was carried out to two or more phases with the 1st display mode by taking the above-mentioned configuration to two or more picture signal lines at phase sequence, the shift direction of the bidirectional shift register for sampling control is made into the 1st direction. A sampling circuit carries out sequential supply of two or more picture signals currently supplied to two or more picture signal lines at phase sequence to the data line based on the sampling timing signal shifted in the 1st direction. That is, sequential supply of the picture signal of a head pixel to the rear pixel of 1 scan line is carried out from the left-hand side data line to the right-hand side data line. Thereby, the 1st display image is displayed.

[0024] In the 2nd display mode, while carrying out phase sequence to two or more picture signal lines at reverse and supplying two or more picture signals by which serial-parallel conversion was carried out to two or more phases, the shift direction of the bidirectional shift register for sampling control is made into the 2nd direction. A sampling circuit carries out sequential supply of two or more picture signals currently supplied to two or more picture signal lines by carrying out phase sequence at reverse to the data line based on the sampling timing signal shifted in the 2nd direction. That is, sequential supply of the picture signal of a head pixel to the rear pixel of the 1 scanning line is carried out from the right-hand side data line to the left-hand side data line. Thereby, a mirror reversed image is displayed.

[0025] Furthermore, while the shift direction is set up in the 1st direction in said 1st display mode and said shift direction is set up in the 2nd direction in said 2nd display mode, it carries out having had the bidirectional shift register for precharge control which carries out the sequential output of the precharge timing signal from each shift stage in shifting in the shift direction which had the precharge start signal specified, and the precharge circuit which supplies precharge potential to said data line based on said precharge timing signal as the description.

[0026] While the change to the 1st display and the 2nd display is possible by taking the above-mentioned configuration, it can precede with the sequential sampling of the picture signal which receives to each data line, and each data line can be precharged.

[0027]

[Embodiment of the Invention] Hereafter, the gestalt of implementation of this invention is explained based on an accompanying drawing.

[0028] Drawing 1 is the block block diagram of the electro-optic device in the gestalt of the 1st operation. The gestalt of this operation shows the electro-optic device 10 which performs image display to six phases based on the picture signals VID1-VID6 by which serial-parallel conversion was carried out. Moreover, the gestalt of this

operation shows the example which used the liquid crystal display of a active-matrix mold.

[0029] An electro-optic device 10 can change the standard image display mode which is the 1st display mode, and the mirror reversed image display mode which is the 2nd display mode based on the scanning direction selection signal DIR. For example, if the scanning direction selection signal DIR is set as H level, it will operate as standard image display mode, and a standard image will be displayed, and if the scanning direction selection signal DIR is set as L level, the image with which it operated as a mirror reversed image display mode, and right and left were reversed will be expressed as the gestalt of this operation.

[0030] This electro-optic device 10 consists of the image display section 11, the scanning-line actuation circuit 12, the 1st bidirectional shift register 13, the 2nd bidirectional shift register 14, the 1st sampling circuit 15, the 2nd sampling circuit 16, and an electronic switch 17. A sign 18 is the 1st wiring group and this 1st wiring group 18 is equipped with six signal lines 18a-18f. A sign 19 is the 2nd wiring group and this 2nd wiring group 19 is equipped with the wiring 19a-19f of six.

[0031] Sign SPS is a sampling start signal and Sign PRS is a precharge start signal. The picture signal with which serial-parallel conversion of the signs VID1-VID6 was carried out at six phases, and Sign VPS are precharge potentials. Sign DIR is a scanning direction selection signal, and Sign HCK is a level clock signal. Sign VST is a vertical start signal and Sign VCK is a vertical clock signal.

[0032] The image display section 11 is equipped with two or more data lines Y1-YN (drawing 1 shows Y1-Y6) arranged in the shape of a train, two or more scanning lines X1-XM arranged by behavior, and two or more pixels LC arranged in the shape of a grid and two or more thin film transistors TR prepared respectively corresponding to each pixel LC. The drain of a thin film transistor TR is connected to data-line Y, the gate is connected to the scanning line X, and the source is connected to the pixel electrode of Pixel LC.

[0033] In addition, the capacity line (not shown) etc. is formed each data lines Y1-YN, each scanning lines X1-XM, each pixel LC, each thin film transistor TR, and if needed on the substrate (not shown) with which the image display section 11 consists of hard glass etc. And laminating arrangement of the substrate (not shown) with which the thin film transistor etc. was formed, and the substrate (not shown) which consists of glass equipped with the counterelectrode etc. is carried out at the predetermined spacing, and the liquid crystal ingredient is enclosed and sealed between each substrate.

[0034] The scanning-line actuation circuit 12 is constituted using a shift register etc. This scanning-line actuation circuit 12 is carrying out the sequential shift of the vertical start signal VST based on the vertical clock signal VCK, and generates and outputs the scan signal $\phi V1 - \phi VM$. The scan signal $\phi V1 - \phi VM$ are supplied to

each scanning lines X1–XM, respectively. Thereby, line sequential scanning of each scanning lines X1–XM is made.

[0035] The 1st bidirectional shift register 13 is equipped with the level clock signal input terminal CLKIN, the start signal input terminal DATAIN, and the scanning direction selection–signal input terminal DIRIN. The 1st bidirectional shift register 13 will operate as a forward direction shift register shifted in the 1st direction, if the scanning direction selection–signal input terminal DIRIN is set as H level. In the operating state as a forward direction shift register, if the output signal of H level is supplied to the start signal input terminal DATAIN, the output signal of this H level will be shifted to the forward direction (direction which goes to a rear stage from the head stage of a shift register) synchronizing with the level clock signal supplied to the level clock signal input terminal CLKIN. Therefore, the output signals AH1–AH6 for every shift stage serve as H level one by one at the numerical order. In other words, the output signal shifted in order of AH1, AH2, AH3, ..., AHN occurs.

[0036] The 1st bidirectional shift register 13 will operate as a hard flow shift register shifted in the 2nd direction, if the scanning direction selection–signal input terminal DIRIN is set as L level. In the operating state as a hard flow shift register, if the signal of H level is supplied to the start signal input terminal DATAIN, the signal of this H level will be shifted to hard flow (direction which goes to a head stage from the rear stage of a shift register) synchronizing with the level clock signal supplied to the level clock signal input terminal CLKIN. Therefore, the output signals AH1–AH6 for every shift stage serve as H level one by one at the reverse order of the number. In other words, AHM, ..., the signal shifted in order of AH6, AH5, AH4, AH3, AH2, and AH1 occur. In addition, a level clock signal may be constituted so that the signal shifted so that AS1–AS6, and BS1–BS6 might be chosen simultaneously may occur. In this case, the signal of BH1–BH6 of drawing 2 occurs simultaneously, and BH7–BH12 (not shown) generate a timing chart simultaneously to the following timing. Moreover, it generates simultaneously and AH7–AH12 (not shown) also generate the signal of AH1–AH6 simultaneously to the following timing. It is also the same as when the shift of hard flow is chosen. And when simultaneous selection is made in this way, it is effective in the ability to reduce the drive frequency of a shift register.

[0037] The 2nd bidirectional shift register 14 is equipped with the level clock signal input terminal CLKIN, the start signal input terminal DATAIN, and the scanning direction selection–signal input terminal DIRIN. This configuration and actuation of the 2nd of the bidirectional shift register 14 are the same as the 1st bidirectional shift register 13. In the operating state as a forward direction shift register, the output signal shifted in order of BH1, BH2, BH3, ..., BHN is generated, and BHM, ..., the output signal shifted in order of BH6, BH5, BH4, BH3, BH2, and BH1 are generated in the operating state as a hard flow shift register.

[0038] The 1st sampling circuit 15 is equipped with two or more switching circuits

AS1-ASM. Drawing 1 shows the 1st – the 6th switching circuit AS1-AS6. Each switching circuits AS1-AS6 are constituted using a thin film transistor or the transformer MISHON gate. Each switching circuits AS1-AS6 will be in switch-on, if a control terminal is set as H level, and if a control terminal is set as L level, they will be in non-switch-on.

[0039] One terminal of 1st switching circuit AS1 is connected to 1st wiring 18a of the 1st wiring group 18, and the other-end child of 1st switching circuit AS1 is connected to the 1st data line Y1. One terminal of the 2nd – the 6th switching circuit AS2-AS6 is connected to the 2nd – the 6th wiring 18b-18f, respectively, and the other-end child of the 2nd – the 6th switching circuit AS2-AS6 is connected to the 2nd – the 6th data line Y2-Y6, respectively.

[0040] The 1st output signal AH1 of the 1st bidirectional shift register 13 is supplied to the control terminal of 1st switching circuit AS1. The 2nd of the 1st bidirectional shift register 13 – the 6th output signal AH2-AH6 are supplied to the control terminal of the 2nd – the 6th switching circuit AS2-AS6, respectively.

[0041] In addition, the same connection as the above is repeatedly made about the 7th switching circuit or subsequent ones which is not illustrated, using six switching circuits as 1 set.

[0042] The 2nd sampling circuit 16 is equipped with two or more switching circuits BS1-BSM. Drawing 1 shows the 1st – the 6th switching circuit BS1-BS6. Each switching circuits BS1-BS6 are constituted using a thin film transistor or the transformer MISHON gate. Each switching circuits BS1-BS6 will be in switch-on, if a control terminal is set as H level, and if a control terminal is set as L level, they will be in non-switch-on.

[0043] One terminal of 1st switching circuit BS1 is connected to 19f of wiring of the 6th of the 2nd wiring group 19, and the other-end child of 1st switching circuit AS1 is connected to the 1st data line Y1. One terminal of the 2nd – the 6th switching circuit BS2-BS6 is connected to the 5th – the 1st wiring 19e-19a, respectively, and the other-end child of the 2nd – the 6th switching circuit BS2-BS6 is connected to the 2nd – the 6th data line Y2-Y6, respectively.

[0044] The 1st output signal AH1 of the 2nd bidirectional shift register 13 is supplied to the control terminal of 1st switching circuit BS1. The 2nd of the 1st bidirectional shift register 13 – the 6th output signal AH2-AH6 are supplied to the control terminal of the 2nd – the 6th switching circuit AS2-AS6, respectively.

[0045] In addition, the same connection as the above is repeatedly made about the 7th switching circuit or subsequent ones which is not illustrated, using six switching circuits as 1 set.

[0046] Sampling start signal SPS, the precharge start signal PRS, the picture signals VID1-VID6 of each phase, and the precharge potential VPS are supplied to an electronic switch 17.

[0047] The electronic switch 17 is equipped with two or more switching circuits, and changes sampling start signal SPS, the precharge start signal PRS, the picture signals VID1-VID6 of each phase, and the supply place of the precharge potential VPS based on the scanning direction selection signal DIR supplied to change control signal input terminal 17a.

[0048] This electronic switch 17 The input terminal of sampling start signal SPS, The input terminal of the precharge start signal PRS, and the input terminal group of the picture signals VID1-VID6 of each phase, The input terminal of the precharge potential VPS, and the output terminal of the signal supplied to the start signal input terminal DATAIN of the 1st bidirectional shift register 13, It has the output terminal of the signal supplied to the start signal input terminal DATAIN of the 2nd bidirectional shift register 14, the output terminal of the signal supplied to each wiring 18a-18f of the 1st wiring group 18, and the output terminal of the signal supplied to each wiring 19a-19f of the 2nd wiring group 19.

[0049] It will be in the change condition that this electronic switch 17 shows each switching circuit in an electronic switch 17 by the arrow head of a graphic display when the scanning direction selection signal DIR is set as H level (when standard image display mode is set up). And in the change condition, sampling start signal SPS is supplied to the start signal input terminal DATAIN of the 1st bidirectional shift register 13. The precharge start signal PRS is supplied to the start signal input terminal DATAIN of the 2nd bidirectional shift register 14. The picture signals VID1-VID6 of each phase are supplied to the 1st of the 1st wiring group 18 - the 6th wiring 18a-18f, respectively, and they constitute the precharge potential VPS so that the 1st of the 2nd wiring group 19 - the 6th wiring 19a-19f may be supplied, respectively.

[0050] It will be in the change this electronic switch 17 indicates each switching circuit in an electronic switch 17 to be by the arrow head of a graphic display when the scanning direction selection signal DIR is set as L level (when reversal standard image display mode is set up), and a reverse condition. And in the change condition, sampling start signal SPS is supplied to the start signal input terminal DATAIN of the 2nd bidirectional shift register 14. The precharge start signal PRS is supplied to the start signal input terminal DATAIN of the 1st bidirectional shift register 13. The picture signals VID1-VID6 of each phase are supplied to the 1st of the 2nd wiring group 19 - the 6th wiring 19a-19f, respectively, and they constitute the precharge potential VPS so that the 1st of the 1st wiring group 18 - the 6th wiring 18a-18f may be supplied, respectively.

[0051] The scanning direction selection signal DIR is supplied to the scanning direction selection-signal input terminal DIRIN of each bidirectional shift registers 13 and 14, respectively. The level clock signal HCK is supplied to the level clock signal input terminal CLKIN of each bidirectional shift registers 13 and 14, respectively.

[0052] In addition, serial-parallel conversion of the picture signals VID1-VID6 of each phase is carried out so that a standard image may be displayed in standard image display mode. Specifically, it is as follows. Sequential supply of the picture signal VID1 of the 1st phase is carried out with a time interval predetermined in the data lines Y1, Y7, and Y13 and the picture signal supplied to --. Sequential supply of the picture signal VID2 of the 2nd phase is carried out with a time interval predetermined in the data lines Y2, Y8, and Y14 and the picture signal supplied to --. Sequential supply of the picture signal VID3 of the 3rd phase is carried out with a time interval predetermined in the data lines Y3, Y9, and Y15 and the picture signal supplied to --. Sequential supply of the picture signal VID4 of the 4th phase is carried out with a time interval predetermined in the data lines Y4, Y10, and Y16 and the picture signal supplied to --. Sequential supply of the picture signal VID5 of the 5th phase is carried out with a time interval predetermined in the data lines Y5, Y11, and Y17 and the picture signal supplied to --. Sequential supply of the picture signal VID6 of the 6th phase is carried out with a time interval predetermined in the data lines Y6, Y12, and Y18 and the picture signal supplied to --.

[0053] The precharge start signal PRS is supplied within a horizontal blanking interval, and sampling start signal SPS is supplied synchronizing with the head of a level effective display period. Between the precharge start signal PRS and sampling start signal SPS, it is good to establish predetermined time difference. Since the actual picture signal is not chosen within the precharge period by this, the abnormalities in a display are not caused. The precharge start signal PRS is supplied first and, specifically, then, sampling start signal SPS is supplied synchronizing with the head of a level effective display period.

[0054] The precharge potential VPS is a signal for precharging each pixel LC, and the direct current voltage from which the permeability of liquid crystal becomes about 50% as this precharge potential VPS is used for it. It can precede supplying the electrical potential difference of picture signals VID1-VID6 to each pixel LC, and the charge and discharge based on picture signals VID1-VID6 can be reduced by supplying each pixel LC to predetermined potential. Thereby, in connection with charge and discharge, the voltage level of picture signals VID1-VID6 can prevent that of a shake, and it can prevent that the grace of a display image falls.

[0055] Next, actuation of the electro-optic device 10 shown in drawing 1 is explained. In displaying a standard image using this electro-optic device 10, it sets the scanning direction selection signal DIR as H level. Thereby, the shift direction of each bidirectional shift registers 13 and 14 is set as the forward direction. If the scanning direction selection signal DIR is set as H level, the picture signals VID1-VID6 of each phase will be supplied to each wiring 18a-18f of the 1st wiring group 18 through an electronic switch 17, respectively, and sampling start signal SPS will be supplied to the start signal input terminal DATAIN of the 1st bidirectional shift register 13 through

an electronic switch 17. Furthermore, the PURISHAJI potential VPS is supplied to each wiring 19a–19f of the 2nd wiring group 19, respectively, and the precharge start signal PRS is supplied to the start signal input terminal DATAIN of the 2nd bidirectional shift register 14.

[0056] Drawing 2 is a timing chart which shows actuation in the standard image display mode of the electro-optic device shown in drawing 1. In drawing 2 (a), drawing 2 (b) shows the precharge start signal PRS, and drawing 2 (c) shows each output signals BH1–BH6 of the 2nd bidirectional shift register 14 for the level clock signal VCK. Drawing 2 (d) shows sampling start signal SPS, and drawing 2 (e) shows each output signals AH1–AH6 of the 1st bidirectional shift register 13. Drawing 2 (f) shows the condition of each data lines Y1–Y6.

[0057] By carrying out the sequential shift of the precharge start signal PRS supplied to the start signal input terminal DATAIN to the forward direction synchronizing with the level clock signal HCK supplied by the level clock signal input terminal CLKIN, the 2nd bidirectional shift register 14 carries out the sequential output of each output signals BH1–BH6, as shown in drawing 2 (c).

[0058] Each switching circuits BS1–BS6 in the 2nd sampling circuit 16 shown in drawing 1 will be in switch-on one by one based on the output signals BH1–BH6 of the 2nd bidirectional shift register 14. Thereby, sequential supply of the precharge signal VPS currently supplied to each wiring 19a–19f of the 2nd wiring group 19 is carried out at each data lines Y1–Y6.

[0059] That is, as shown in drawing 2 (c) and drawing 2 (f), based on the output signal BH 1 of the 2nd bidirectional shift register 14, the precharge potential VPS is supplied to the data line Y1. Here, if it is in the condition that the scan signal $\phi V1$ of H level is supplied to the 1st scanning line X1 shown in drawing 1, the precharge potential VPS will be supplied and precharged at the pixel LC specified with the data line Y1 and the scanning line X1 through a thin film transistor TR. Similarly, as shown in drawing 2 (c) and drawing 2 (f), based on each output signals BH2–BH6 of the 2nd bidirectional shift register 14, sequential precharge of the pixel which sequential supply of the precharge potential VPS is carried out, and corresponds to each data lines Y2–Y6 is carried out.

[0060] By carrying out the sequential shift of sampling start signal SPS supplied to the start signal input terminal DATAIN to the forward direction synchronizing with the level clock signal HCK supplied by the level clock signal input terminal CLKIN, the 1st bidirectional shift register 13 carries out the sequential output of each output signals AH1–AH6, as shown in drawing 2 (e).

[0061] Each switching circuits AS1–AS6 in the 1st sampling circuit 15 shown in drawing 1 will be in switch-on one by one based on the output signals AH1–AH6 of the 1st bidirectional shift register 13. Thereby, sequential supply of the picture signals VID1–VID6 of each phase currently supplied to each wiring 18a–18f of the 1st wiring group 18 is carried out at each data lines Y1–Y6.

[0062] That is, as shown in drawing 2 (e) and drawing 2 (f), based on the output signal AH1 of the 1st bidirectional shift register 13, the picture signal VID1 of the 1st phase is supplied to the data line Y1. Here, if it is in the condition that the scan signal phiV1 of H level is supplied to the 1st scanning line X1 shown in drawing 1, the picture signal VID1 of the 1st phase will be supplied to the pixel LC specified with the data line Y1 and the scanning line X1 through a thin film transistor TR, and a picture signal VID1 will be written in the pixel. Similarly, as shown in drawing 2 (e) and drawing 2 (f), based on each output signals AH2-AH6 of the 1st bidirectional shift register 13, sequential supply of each picture signals VID2-VID6 is carried out at each data lines Y2-Y6, and each picture signals VID2-VID6 are written in a corresponding pixel.

[0063] Thus, in the standard image display mode in which the scanning direction selection signal DIR was set as H level, sequential supply of the picture signals VID1-VID6 is carried out from the 1st data line Y1 in 1 horizontal-scanning period to the last data line YN. That is, a horizontal scanning is made toward the last data line YN from the 1st data line Y1, and a picture signal is written in each pixel by point sequential. Thereby, a standard image can be displayed.

[0064] In displaying a mirror reversed image using this electro-optic device 10, it sets the scanning direction selection signal DIR as L level. Thereby, the shift direction of each bidirectional shift registers 13 and 14 is set as hard flow. If the scanning direction selection signal DIR is set as L level, through an electronic switch 17, the picture signals VID1-VID6 of each phase will be supplied to each wiring 19a-19f of the 2nd wiring group 19, respectively, and sampling start signal SPS will be supplied to the start signal input terminal DATAIN of the 2nd bidirectional shift register 14. Furthermore, the precharge potential VPS is supplied to each wiring 18a-18f of the 1st wiring group 18, respectively, and the precharge start signal PRS is supplied to the start signal input terminal DATAIN of the 1st bidirectional shift register 13.

[0065] Drawing 3 is a timing chart which shows actuation of the reverse image display mode of the electro-optic device shown in drawing 1. In drawing 3 (a), drawing 3 (b) shows the precharge start signal PRS, and drawing 3 (c) shows each output signals AH1-AH6 of the 1st bidirectional shift register 14 for the level clock signal HCK. Drawing 3 (d) shows sampling start signal SPS, and drawing 3 (e) shows each output signals BH1-BH6 of the 2nd bidirectional shift register 13. Drawing 2 (f) shows the condition of each data lines Y1-Y6.

[0066] By carrying out the sequential shift of the precharge start signal PRS supplied to the start signal input terminal DATAIN to hard flow synchronizing with the level clock signal HCK supplied by the level clock signal input terminal CLKIN, the 1st bidirectional shift register 13 carries out the sequential output of each output signals AH6-AH1, as shown in drawing 3 (c).

[0067] In addition, by drawing 3, if the precharge start signal PRS is supplied, it indicates that an output signal AH6 is promptly outputted synchronizing with the level

clock signal HCK, but since the sequential shift of the precharge start signal PRS is actually carried out toward a head stage from the rear stage of the 1st bidirectional shift register 13, predetermined time amount is taken for an output signal AH6 to occur from the event of the precharge start signal PRS being supplied.

[0068] Each switching circuits AS6-AS1 in the 1st sampling circuit 15 shown in drawing 1 will be in switch-on one by one based on the output signals AH6-AH1 of the 1st bidirectional shift register 14. Thereby, sequential supply of the precharge potential VPS currently supplied to each wiring 18a-18f of the 1st wiring group 18 is carried out at each data lines Y6-Y1.

[0069] That is, as shown in drawing 3 (c) and drawing 3 (f), based on the output signal AH6 of the 1st bidirectional shift register 13, the precharge signal VPS is supplied to the data line Y6. Here, if it is in the condition that the scan signal phiV1 of H level is supplied to the 1st scanning line X1 shown in drawing 1, the precharge signal VPS will be supplied and precharged at the pixel LC specified with the data line Y6 and the scanning line X1 through a thin film transistor TR. Similarly, as shown in drawing 3 (c) and drawing 3 (f), based on each output signals AH5-AH1 of the 1st bidirectional shift register 13, sequential precharge of the pixel which sequential supply of the precharge potential VPS is carried out, and corresponds to each data lines Y5-Y1 is carried out.

[0070] By carrying out the sequential shift of sampling start signal SPS supplied to the start signal input terminal DATAIN to hard flow synchronizing with the level clock signal HCK supplied by the level clock signal input terminal CLKIN, the 2nd bidirectional shift register 14 carries out the sequential output of each output signals BH6-BH1, as shown in drawing 3 (e).

[0071] In addition, by drawing 3, if sampling start signal SPS is supplied, it indicates that an output signal BH 6 is promptly outputted synchronizing with the level clock signal HCK, but since the sequential shift of sampling start signal SPS is actually carried out toward a head stage from the rear stage of the 2nd bidirectional shift register 14, predetermined time amount is taken for an output signal BH 6 to occur from the event of sampling start signal SPS being supplied.

[0072] Each switching circuits BS6-BS1 in the 2nd sampling circuit 16 shown in drawing 1 will be in switch-on one by one based on the output signals BH6-BH1 of the 2nd bidirectional shift register 16. Thereby, sequential supply of the picture signals VID1-VID6 of each phase currently supplied to each wiring 19a-19f of the 2nd wiring group 19 is carried out at each data lines Y6-Y1.

[0073] That is, as shown in drawing 3 (e) and drawing 3 (f), based on the output signal BH 6 of the 2nd bidirectional shift register 14, the picture signal VID1 of the 1st phase is supplied to the data line Y6. Here, if it is in the condition that the scan signal phiV1 of H level is supplied to the 1st scanning line X1 shown in drawing 1, the picture signal VID1 of the 1st phase will be supplied to the pixel LC specified with the data line Y6 and the scanning line X1 through a thin film transistor TR, and a picture signal VID1

will be written in the pixel. Similarly, as shown in drawing 3 (e) and drawing 3 (f), based on each output signals BH5–BH1 of the 2nd bidirectional shift register 14, sequential supply of each picture signals VID2–VID6 is carried out at each data lines Y5–Y1, and each picture signals VID2–VID6 are written in a corresponding pixel.

[0074] Thus, with the mirror reversed image display mode with which the scanning direction selection signal DIR was set as L level, sequential supply of the picture signals VID1–VID6 is carried out from the data line YN in 1 horizontal-scanning period to the 1st data line Y1. That is, with standard image display mode, the horizontal scanning of hard flow is made and a picture signal is written in each pixel by point sequential. Thereby, a mirror reversed image can be displayed.

[0075] Drawing 4 is the block block diagram of the electro-optic device in the gestalt of the 2nd operation. The electro-optic device 20 shown in drawing 4 consists of the image display section 21, the scanning-line actuation circuit 22, the bidirectional shift register 23 for sampling control, the bidirectional shift register 24 for precharge control, a sampling circuit 25, the precharge circuit 26, the picture signal phase sequence exchange circuit 27, an image wiring group 28, and a precharge potential line 29. The picture signal track group 28 is equipped with six picture signal lines 28a–28f. The configuration of the image display section 21 and the scanning-line actuation circuit 22 is the same as the image display section 11 and the scanning-line actuation circuit 12 which were shown in drawing 1 .

[0076] When the scanning direction selection signal DIR supplied to the scanning direction selection-signal input terminal DIRIN is H level, the bidirectional shift register 23 for sampling control is shifted to the forward direction based on the level clock signal HCK to which sampling start signal SPS supplied to the start signal input terminal DATAIN is supplied by the level clock signal input terminal CLKIN (when standard image display mode is specified), and carries out sequential generating of the outputs AH1–AH6 of each shift stage at the order.

[0077] When the scanning direction selection signal DIR supplied to the scanning direction selection-signal input terminal DIRIN is L level, the bidirectional shift register 23 for sampling control is shifted to hard flow based on the level clock signal HCK to which sampling start signal SPS supplied to the start signal input terminal DATAIN is supplied by the level clock signal input terminal CLKIN (when the reverse image display mode is specified), and carries out sequential generating of the outputs AH6–AH1 of each shift stage at the order.

[0078] When the scanning direction selection signal DIR supplied to the scanning direction selection-signal input terminal DIRIN is H level, the bidirectional shift register 24 for precharge control is shifted to the forward direction based on the level clock signal HCK to which the precharge start signal PRS supplied to the start signal input terminal DATAIN is supplied by the level clock signal input terminal CLKIN (when standard image display mode is specified), and carries out sequential generating of

output BH1-BH6-BHN of each shift stage at the order.

[0079] When the scanning direction selection signal DIR supplied to the scanning direction selection-signal input terminal DIRIN is L level, the bidirectional shift register 24 for precharge control is shifted to hard flow based on the level clock signal HCK to which the precharge start signal PRS supplied to the start signal input terminal DATAIN is supplied by the level clock signal input terminal CLKIN (when the reverse image display mode is specified), and carries out sequential generating of output BHN-BH6 of each shift stage - BH1 at the order.

[0080] A sampling circuit 25 is equipped with two or more switching circuit AS1-AS6-ASN(s). 1st switching circuit AS1 supplies the picture signal currently supplied to 1st picture signal line 28a to the 1st data line Y1 based on the 1st step of output signal AH1 of the bidirectional shift register 23 for sampling control. 2nd switching circuit AS2 supplies the picture signal currently supplied to 2nd picture signal line 28b to the 2nd data line Y2 based on the 2nd step of output signal AH2. the same -- the 3rd - the 6th switching circuit AS3-AS6 -- the 3-6th step of each output signals AH3-AH6 -- being based -- the 3- the picture signal currently supplied to the 6th picture signal line 28c-28f is supplied to the 3rd - the 6th data line Y3-Y6, respectively. In addition, although not illustrated, about the 7th switching circuit or subsequent ones, the connection same as 1 set repeats six switching circuits, and it is made.

[0081] The precharge circuit 26 is equipped with two or more switching circuit BS1-BS6-BSN(s). 1st switching circuit BS1 supplies the precharge potential VPS currently supplied to the precharge potential line 29 to the 1st data line Y1 based on the 1st step of output signal BH 1 of the bidirectional shift register 24 for precharge control. 2nd switching circuit BS2 supplies the precharge potential VPS to the 2nd data line Y2 based on the 2nd step of output signal BH 2. the same -- the 3rd - 6th-Nth switching circuit BS3- eye a 6-N stage [BS6 BSN3 -] -- each -- output-signal BH3-BH6-BHN -- being based -- the precharge signal VPS -- the 3rd - the 6- Nth data-line Y3-Y6-YN is supplied, respectively.

[0082] The picture signal phase sequence exchange circuit 27 is formed between the input terminal group of the picture signals VID1-VID6 of each phase, the output terminal groups which supply a picture signal to each picture signal lines 28a-28f, and these input terminal groups and output terminal groups, and is equipped with the switching circuit of **** plurality.

[0083] When the scanning direction selection signal DIR supplied to phase sequence assignment signal input terminal 27a is H level, the picture signal phase sequence exchange circuit 27 (when standard image display mode is specified) the picture signal VID1 of the 1st phase -- 1st picture signal line 28a -- supplying -- the picture signal VID2 of the 2nd phase -- 2nd picture signal line 28b -- supplying -- the same -- the picture signals VID3-VID6 of the 3rd phase - the 6th phase -- the 3- the 6th picture

signal line 28c-28f is supplied, respectively.

[0084] When the scanning direction selection signal DIR supplied to phase sequence assignment signal input terminal 27a is L level, the picture signal phase sequence exchange circuit 27 (when the reverse image display mode is specified) the picture signal VID1 of the 1st phase -- 28f of 6th picture signal line -- supplying -- the picture signal VID2 of the 2nd phase -- 5th picture signal line 28e -- supplying -- the same -- the picture signals VID3-VID6 of the 3rd phase - the 6th phase -- the 4- the 1st picture signal line 28d-28a is supplied, respectively.

[0085] Next, the actuation in the above configuration is explained. the standard image display mode in which the scanning direction selection signal DIR was set as H level -- the 1- the picture signals VID1-VID6 of the 1st phase - the 6th phase are supplied to the 6th picture signal line 28a-28f at the order. Since the bidirectional shift register 23 for sampling control performs a shift action to the forward direction, the sequential output of the output signals AH1-AH6 of each shift stage is carried out at the order. A sampling circuit 25 carries out sequential supply of the picture signals VID1-VID6 of the 1st phase - the 6th phase based on the output signals AH1-AH6 of each shift stage to the 1st - the 6th data line Y1-Y6. Therefore, a picture signal is written in each pixel by point sequential toward the data line YN from the 1st data line Y1. Therefore, a standard image can be displayed.

[0086] in the reverse image display mode with which the scanning direction selection signal DIR was set as L level, the phase sequence of the picture signals VID1-VID6 of the 1st phase - the 6th phase changes by the picture signal phase sequence exchange circuit 27 -- having -- the 1- the 6th picture signal line 28a-28f is supplied. Since the bidirectional shift register 23 for sampling control performs a shift action to hard flow, the sequential output of the output signals AH6-AH1 of each shift stage is carried out at the order. A sampling circuit 25 carries out sequential supply of the picture signals VID6-VID1 of the 6th phase - the 1st phase based on the output signals AH6-AH1 of each shift stage to the 6th - the 1st data line Y6-Y1. Therefore, a picture signal is written in each pixel by point sequential toward the data line Y1 from the data line YN.

[0087] Even if opposite only in the scanning direction of the data line, the image which reversed right and left to accuracy cannot be obtained. Since the electro-optic device 20 concerning the gestalt of the 2nd operation has reversed the phase sequence of the picture signal supplied to the picture signal lines 28a-28f in inverse video mode, when it scans in the direction of the data line YN to the data line Y1, it can write each picture signal in right phase sequence. Thereby, the image by which right-and-left reversal was carried out can be displayed.

[0088] In addition, by supplying the precharge signal PRS in advance of sampling start signal SPS, after precharging each data line, a picture signal is written in each data line, and things are made.

[0089] Although drawing 1 and drawing 4 showed the configuration which supplies the scanning direction selection signal DIR from the image display control section which is not illustrated, and changes standard image display mode and a reverse image display mode according to the logical level of the scanning direction selection signal DIR, the switch which sets up the logical level of the scanning direction selection signal DIR is formed, and you may enable it to set a display mode to electro-optic device 10 and 20 side by electro-optic device 10 and 20 side.

(Configuration of electronic equipment) As electronic equipment of such a configuration, the projection mold display shown in drawing 5 can be mentioned. Drawing 5 is the outline block diagram showing the important section of a projection mold display. The liquid crystal light modulation equipment with which 1102 contain the light source and the liquid crystal equipment as an electro-optic device with which in a dichroic mirror and 1106 an incidence lens and 1123 mentioned a reflective mirror and 1122 above, and an outgoing radiation lens, and 100R, 100G and 100B mentioned [1108] a relay lens and 1124 above, and 1112 show a cross dichroic prism among drawing, and 1114 shows a projector lens. The light source 1102 consists of a reflector which reflects the light of lamps, such as metal halide, and a lamp. The dichroic mirror 1108 of blue glow and a green light echo reflects blue glow and green light while making the red light of the flux of lights from the light source 1102 penetrate. It is reflected by the reflective mirror 1106 and incidence of the transmitted red light is carried out to liquid crystal light modulation equipment 100R for red light. on the other hand, green light is reflected with the dichroic mirror 1108 of a green light echo among the colored light reflected with the dichroic mirror 1108 -- having -- the object for green light -- incidence is carried out to liquid crystal light modulation equipment 100G. On the other hand, blue glow also penetrates the 2nd dichroic mirror 1108. In order to prevent the optical loss by the long optical path to blue glow, the light guide means 1121 which consists of a relay lens system containing the incidence lens 1122, a relay lens 1123, and the outgoing radiation lens 1124 is established, and incidence of the blue glow is carried out to liquid crystal light modulation equipment 100B for blue glow through this. Incidence of the three colored light modulated by each light modulation equipment is carried out to the cross dichroic prism 1112. As for this prism, the dielectric multilayer in which four rectangular prisms reflect the dielectric multilayer which is stuck and reflects red sunset in that inner surface, and a blue light is formed in the shape of a cross joint. Three colored light is compounded by these dielectric multilayers, and the light showing a color picture is formed. With the projector lens 1114 which is an incident light study system, it is projected on the compounded light on a screen 1120, and an image is expanded and it is displayed. Moreover, as an example of electronic equipment, a liquid crystal television, the video tape recorder of a viewfinder mold and a monitor direct viewing type, car navigation equipment, a pager, etc. are mentioned other than a projection

mold indicating equipment, and it cannot be overemphasized that the electro-optic device concerning this invention can be applied to these various electronic equipment. This invention is not restricted to each operation gestalt mentioned above, and can be suitably changed in the range which is not contrary to the summary or thought of invention which can be read in a claim and the whole description, and the electro-optic device accompanied by such modification is also contained in the technical range of this invention.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block block diagram of the electro-optic device in the gestalt of the 1st operation.

[Drawing 2] It is the timing chart which shows actuation in the standard image display mode of the electro-optic device shown in drawing 1 .

[Drawing 3] It is the timing chart which shows actuation of the reverse image display mode of the electro-optic device shown in drawing 1 .

[Drawing 4] It is the block block diagram of the electro-optic device in the gestalt of the 2nd operation.

[Drawing 5] It is the block diagram which used the electro-optic device of this invention for the projection mold indicating equipment.

[Drawing 6] It is the block block diagram of the conventional electro-optic device.

[Drawing 7] It is the block block diagram of the conventional electro-optic device which performs image display based on two or more picture signals by which serial-parallel conversion was carried out.

[Description of Notations]

10 20 Electro-optic device

11 21 Image display section

12 22 Scanning-line actuation circuit

13 1st Bidirectional Shift Register

14 2nd Bidirectional Shift Register

15 1st Sampling Circuit

16 2nd Sampling Circuit

17 Electronic Switch

18 1st Wiring Group

19 2nd Wiring Group

23 Bidirectional Shift Register for Sampling Control

24 Bidirectional Shift Register for Precharge Control

25 Sampling Circuit
26 Precharge Circuit
27 Picture Signal Phase Sequence Exchange Circuit
28 Picture Signal Track Group
29 Precharge Potential Line
AS1-AS6, BS1-BS6 Switching circuit
DIR Scanning direction selection signal
HCK Level clock signal
PRS Precharge start signal
SPS Sampling start signal
VID1-VID6 Picture signal
VPS Precharge potential

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-228831
(P2001-228831A)

(43)公開日 平成13年8月24日(2001.8.24)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テ-マコード*(参考) |
|--------------------------|-------|---------------|-------------------|
| G 0 9 G 3/36 | | G 0 9 G 3/36 | 2 H 0 9 3 |
| G 0 2 F 1/133 | 5 0 5 | G 0 2 F 1/133 | 5 0 5 5 C 0 0 6 |
| G 0 9 G 3/20 | 6 2 1 | G 0 9 G 3/20 | 6 2 1 K 5 C 0 8 0 |
| | 6 8 0 | | 6 8 0 C |

審査請求 未請求 請求項の数9 O L (全 15 頁)

(21)出願番号 特願2000-40174(P2000-40174)

(22)出願日 平成12年2月17日(2000.2.17)

(71)出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72)発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

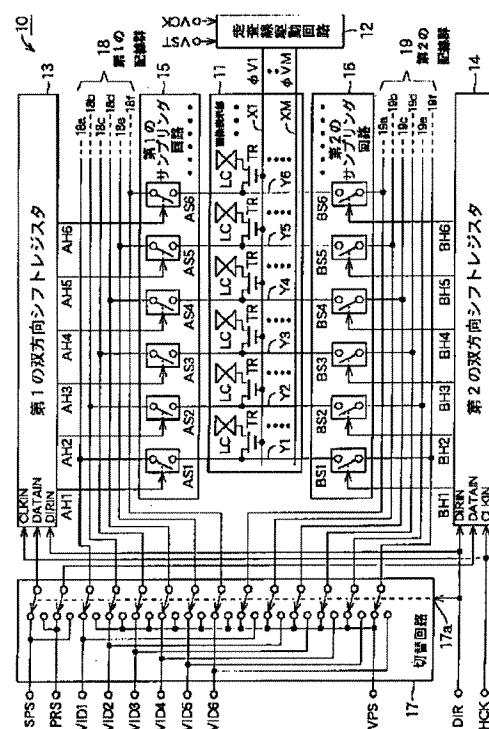
最終頁に続く

(54)【発明の名称】 電気光学装置

(57)【要約】

【課題】複数の相にシリアルーパラレル変換された画像信号に基づいて画像等の表示を行う電気光学装置において、表示画像を左右に反転できるようにした電気光学装置を提供する。

【解決手段】第1の表示モードの場合、第1の双方向シフトレジスタ13にサンプリングスタート信号を供給し、第2の双方向シフトレジスタ14にプリチャージスタート信号を供給し、第2の表示モードの場合、第2の双方向シフトレジスタにサンプリングスタート信号を供給し、第1の双方向シフトレジスタにプリチャージスタート信号を供給する。



【特許請求の範囲】

【請求項1】 画像信号が供給される複数のデータ線と、走査信号が供給される複数の走査線と、前記各データ線および前記各走査線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを備えた電気光学装置において、
第1及び第2の双方向シフトレジスタと、
第1及び第2の配線群と、
前記第1の双方向シフトレジスタの出力のタイミングに基づいて、前記第1の配線群の電位の状態を前記データ線に伝える第1のサンプリング回路と、
前記第2の双方向シフトレジスタの出力のタイミングに基づいて、前記第2の配線群の電位の状態を前記データ線に伝える第2のサンプリング回路と、
第1の表示モードの場合に、前記第1及び第2の双方向シフトレジスタを第1の方向にシフトさせ、前記第1のシフトレジスタにサンプリングスタート信号、前記第2のシフトレジスタにプリチャージスタート信号を供給し、前記第1の配線群に画像信号となる電位を供給させ、前記第2の配線群にプリチャージ電位を供給させ、
第2の表示モードの場合に、前記第1及び第2の双方向シフトレジスタを第2の方向にシフトさせ、前記第2のシフトレジスタにサンプリングスタート信号、前記第1のシフトレジスタにプリチャージスタート信号を供給し、前記第2の配線群に画像信号となる電位を供給させ、前記第1の配線群にプリチャージ電位を供給させるよう制御する切換回路とを有することを特徴とする電気光学装置。

【請求項2】 前記第1及び第2の双方向シフトレジスタは共通のクロック信号により駆動されることを特徴とする請求項1記載の電気光学装置。

【請求項3】 前記第1及び第2の双方向シフトレジスタは共通の走査方向選択信号によりシフト方向が設定されることを特徴とする請求項1または2記載の電気光学装置。

【請求項4】 前記第1の双方向シフトレジスタは、前記第1の配線群の電位が複数の前記データ線に順次伝わるように、前記第1のサンプリング回路へ出力信号を供給するよう構成され前記第2の双方向シフトレジスタは、前記第2の配線群の電位が、複数の前記データ線に順次伝わるように、前記第2サンプリング回路へ出力信号を供給するよう構成されていることを特徴とする請求項1乃至3いずれか記載の電気光学装置。

【請求項5】 前記第1の双方向シフトレジスタは、前記第1の配線群の電位が、複数の前記データ線に同時に伝わるように、前記第1のサンプリング回路へ出力信号を供給するよう構成され、
前記第2の双方向シフトレジスタは、前記第2の配線群の電位が、複数の前記データ線に同時に伝わるように、前記第2サンプリング回路へ出力信号を供給するよう構

成されることを特徴とする請求項1乃至3いずれか記載の電気光学装置。

【請求項6】 前記切替回路は、
前記走査方向選択信号に基づき、前記第1のシフトレジスタにサンプリングスタート信号及びプリチャージスタート信号の一方を選択的に供給し、前記第2のシフトレジスタにサンプリングスタート信号及びプリチャージスタート信号の他方を選択的に供給し
前記走査方向選択信号に基づき、前記第1の配線群に、画像信号及びプリチャージ電位の一方を選択的に供給し、前記第2の配線群に、表示データ及びプリチャージ電位の他方を選択的に供給することを特徴とする請求項5に記載の電気光学装置。

【請求項7】 画像信号が供給される複数のデータ線と、走査信号が供給される複数の走査線と、前記各データ線および前記各走査線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを備えた電気光学装置において、
信号線群と、
第1の表示モードの場合に、シリアルーパラレル変換された複数の画像信号を前記信号線群へ第1の順に供給し、第2の表示モードの場合に、前記シリアルーパラレル変換された複数の画像信号を前記信号線群へ前記第1の順とは逆の第2の順に供給する画像信号相順入替回路と、
前記第1の表示モードの場合、第1の方向にシフト方向が設定され、前記第2の表示モードの場合、第2の方向にシフト方向が設定されるサンプリング制御用双方向シフトレジスタと、
前記サンプリング制御用双方向シフトレジスタの出力のタイミングに基づいて、前記信号線群の電位の状態を前記データ線に伝えるサンプリング回路とを有することを特徴とする電気光学装置。

【請求項8】 前記第1の表示モードではシフト方向が第1の方向に設定され、前記第2の表示モードでは前記シフト方向が第2の方向に設定されるとともに、プリチャージスタート信号を指定されたシフト方向へシフトすることで各シフト段からプリチャージタイミング信号を順次出力するプリチャージ制御用双方向シフトレジスタと、
前記プリチャージタイミング信号に基づいて前記データ線にプリチャージ電位を供給するプリチャージ回路とを備えたことを特徴とする請求項7記載の電気光学装置。

【請求項9】 請求項1乃至6のうちいずれか1項に記載した電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電気光学装置に係り、詳しくは、画像を左右に反転して表示できるよう

にした電気光学装置に関するものである。

【0002】

【従来の技術】液晶プロジェクタ等に組み込まれる電気光学装置の一例としての液晶装置では、プロジェクション光学系の関係から左右が反転された画像や上下が反転された画像が要求される場合がある。左右反転表示、上下反転表示を行なうために、駆動回路部の動作方向を切り替え可能にした表示装置等が、特開平7-20826号公報、特開平7-146462号公報、特開平10-74062号公報等で知られている。駆動回路部を構成するシフトレジスタに双方向動作が可能なものを用い、走査方向を切り替えることで、標準画像表示と反転画像表示とを切り替えるようにしている。

【0003】特開平7-295520号公報には、プリチャージした後に画素へ画像信号を書き込むことで、サンプリングレートの高速化に伴って発生する画像信号線の電位揺れを抑制するようにした電気光学装置が記載されている。

【0004】図6は特開平7-295520号公報に記載された電気光学装置のブロック構成図である。図6に示す従来の電気光学装置1000は、行状の各走査線Xと、列状の各データ線Yと、それらの各交差部に配置された薄膜トランジスタTFTならびに画素LCとからなる画像表示部1100と、走査線駆動回路1001と、データ線駆動回路1002と、画像信号VIDを供給するための画像信号線1003と、データ線駆動回路1002から出力されるサンプリングタイミング信号 $\phi H1 \sim \phi HN$ に基づいて画像信号VIDを各データ線Yへ供給する各サンプリング用スイッチ回路HSW1～HSWNと、プリチャージ手段1004とからなる。

【0005】薄膜トランジスタTFTのゲートは走査線Xに接続されている。薄膜トランジスタTFTのソースはデータ線Yに接続されている。薄膜トランジスタTFTのドレインは画素LCの画素電極に接続されている。

【0006】プリチャージ手段1004は、プリチャージ用駆動回路1005と、プリチャージ信号VPSを供給するためのプリチャージ信号線1006と、プリチャージ用駆動回路1005から出力されるプリチャージタイミング信号 $\phi P1 \sim \phi PN$ に基づいてプリチャージ信号VPSを各データ線Yへ供給する各プリチャージ用スイッチ回路PSW1～PSWNとを備える。

【0007】VCKは垂直クロック信号、VSTは垂直スタート信号、HCKは水平クロック信号、HSTはサンプリングスタート信号、PCKは水平クロック信号、PSTはプリチャージスタート信号、 $\phi V1 \sim \phi VM$ は走査信号である。

【0008】走査線駆動回路1001は、各走査信号 $\phi V1 \sim \phi VM$ に基づいて各走査線Xを線順次走査し、1水平期間毎に1行分の画素LCを選択する。データ線駆動回路1002は、各サンプリング用スイッチ回路HSW

W1～HSWNを介して、1水平期間内で画像信号VIDを各データ線Yに順次サンプリングし、選択された1行分の画素LCに点順次で画像信号VIDの書き込みを行なう。プリチャージ手段1004は、各プリチャージ用スイッチ回路PSW1～PSWNを介して、各データ線Yに対する画像信号VIDの順次サンプリングに先行して、所定のプリチャージ信号VPSを各データ線Yに順次供給する。

【0009】図6に示す従来の電気光学装置1000は、各データ線Yに対する画像信号VIDの順次サンプリングに先行して所定のプリチャージ信号VPSを各データ線Yに順次供給するので、サンプリングによる各データ線Yの充放電を抑制できる。これにより、画像信号線1003の電位揺れ（ノイズ）が低減される。よって、表示画像に縦スジ等のノイズパターンが発生するのを防止できる。

【0010】1本の画像信号線で画像信号VIDを供給する構成では、1行の画素数に比例して画像信号VIDのドット周波数が高くなる。そこで、画像信号VIDを複数の相にシリアルーパラレル変換することで、各相毎のドット周波数を低減させる技術が知られている。

【0011】図7は複数の相にシリアルーパラレル変換した画像信号に基づいて画像表示を行なう従来の電気光学装置のブロック構成図である。図7は画像信号VIDを6相にシリアルーパラレル変換したものを示している。

【0012】図7に示す従来の電気光学装置2000は、6相の画像信号線2001～2006を備える。第1相の画像信号線2001には、第1相の画像信号VID1として、データ線Y1, Y7, Y13, …に供給する画像信号が所定の時間間隔で順次供給される。第2相の画像信号線2002には、第2相の画像信号VID2として、データ線Y2, Y8, Y14, …に供給する画像信号が所定の時間間隔で順次供給される。第3相の画像信号線2003には、第3相の画像信号VID3として、データ線Y3, Y9, Y15, …に供給する画像信号が所定の時間間隔で順次供給される。第4相の画像信号線2004には、第4相の画像信号VID4として、データ線Y4, Y10, Y16, …に供給する画像信号が所定の時間間隔で順次供給される。第5相の画像信号線2004には、第5相の画像信号VID5として、データ線Y5, Y11, Y17, …に供給する画像信号が所定の時間間隔で順次供給される。第6相の画像信号線2004には、第6相の画像信号VID6として、データ線Y6, Y12, Y18, …に供給する画像信号が所定の時間間隔で順次供給される。

【0013】第1のサンプリング用スイッチ回路HSW1の一端は第1の画像信号線2001へ接続され、第1のサンプリング用スイッチ回路HSW1の他端は第1のデータ線Y1へ接続される。したがって、この第1のサ

ンプリング用スイッチ回路H SW 1は、第1のサンプリングタイミング信号 ϕ H 1に基づいて第1相の画像信号V I D 1を第1のデータ線Y 1に供給する。第2のサンプリング用スイッチ回路H SW 2の一端は第2の画像信号線2002へ接続され、第2のサンプリング用スイッチ回路H SW 2の他端は第2のデータ線Y 2へ接続される。したがって、この第2のサンプリング用スイッチ回路H SW 2は、第2のサンプリングタイミング信号 ϕ H 2に基づいて第2相の画像信号V I D 2を第2のデータ線Y 2に供給する。第3～第6のサンプリング用スイッチ回路H SW 3～H SW 6は、第3～第6のサンプリングタイミング信号 ϕ H 3～ ϕ H 6に基づいて第3相～第6相の画像信号V I D 3～V I D 6を第3～第6のデータ線Y 3～Y 6へそれぞれ供給する。図7では、第6のサンプリング用スイッチ回路H SW 6以降のサンプリング用スイッチ回路H SW 7～H SW N、ならびに、第6のデータ線Y 6以降のデータ線Y 7～Y Nの図示を省略しているが、6本のデータ線を1つのグループとして上記と同じ接続構成が繰り返される。

【0014】データ線駆動回路1002は、シフトレジスタ等を用いて構成されており、サンプリングスタート信号H S Tを水平クロック信号P C Kに同期させて順次シフトさせることで、各サンプリングタイミング信号 ϕ H 1～ ϕ H 6を順次出力する。これにより、各サンプリング用スイッチ回路H SW 1～H SW 6が順次導通状態に制御され、各画像信号V I D 1～V I D 6が各データ線Y 1～Y 6へ順次供給される。そして、各データ線Y 1～Y 6へ供給された各画像信号V I D 1～V I D 6は、走査信号 ϕ V 1～ ϕ V Mによって活性化されているゲート線X 1～X Mに接続されている各薄膜トランジスタT F Tを介して各画素L Cへそれぞれ供給される。これにより、各画素L Cに対する画像信号の書き込みがなされる。

【0015】

【発明が解決しようとする課題】図6に示した従来の電気光学装置1000は、データ線駆動回路1002ならびにプリチャージ用駆動回路1005を双方向にシフト可能な双方向シフトレジスタ等を用いて構成することで、点順次の走査方向を反転させることができる。これにより、表示画像の左右を反転させることができる。

【0016】しかしながら、図7に示したように画像信号V I D を複数の相にシリアルーパラレル変換した構成では、点順次の走査方向を反転させても、表示画像の左右を反転させることができない。図7に示した従来の電気光学装置2000では、6本のデータ線を1グループとしてそのグループ内の各データ線と6相の画像信号線2001～2006とが対応付けられている。したがって、点順次の走査方向を反転させた場合には、6本のデータ線からなるグループ内の各データ線に供給される画像信号の順序は反転されない。

【0017】この発明はこのような課題を解決するためなされたもので、複数の相にシリアルーパラレル変換された画像信号に基づいて画像等の表示を行なう電気光学装置において、表示画像を左右に反転できるようにした電気光学装置を提供することを目的とする。

【0018】

【課題を解決するための手段】前記課題を解決するため、本発明の電気光学装置は、画像信号が供給される複数のデータ線と、走査信号が供給される複数の走査線と、前記各データ線および前記各走査線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを備えた電気光学装置において、第1及び第2の双方向シフトレジスタと、第1及び第2の配線群と、前記第1の双方向シフトレジスタの出力のタイミングに基づいて、前記第1の配線群の電位の状態を前記データ線に伝える第1のサンプリング回路と、前記第2の双方向シフトレジスタの出力のタイミングに基づいて、前記第2の配線群の電位の状態を前記データ線に伝える第2のサンプリング回路と、第1の表示モードの場合に、前記第1及び第2の双方向シフトレジスタを第1の方向にシフトさせ、前記第1のシフトレジスタにサンプリングスタート信号、前記第2のシフトレジスタにプリチャージスタート信号を供給し、前記第1の配線群に画像信号となる電位を供給させ、前記第2の配線群にプリチャージ電位を供給させ、第2の表示モードの場合に、前記第1及び第2の双方向シフトレジスタを第2の方向にシフトさせ、前記第2のシフトレジスタにサンプリングスタート信号、前記第1のシフトレジスタにプリチャージスタート信号を供給し、前記第2の配線群に画像信号となる電位を供給させ、前記第1の配線群にプリチャージ電位を供給させるよう制御する切換回路とを有することを特徴とする。

【0019】このような構成を有することにより、第1の表示モードでは、第1の双方向シフトレジスタおよび第1のサンプリング回路によって画像信号の書き込みが制御され、第2の双方向シフトレジスタおよび第2のサンプリング回路によってプリチャージ電位の印加が制御される。第2の表示モードでは、第2の双方向シフトレジスタおよび第2のサンプリング回路によって画像信号の書き込みが制御され、第1の双方向シフトレジスタおよび第1のサンプリング回路によってプリチャージ電位の印加が制御される。

【0020】第1のサンプリング回路は、例えば第1相～第6相の画像信号を第1～第6のデータ線にそれぞれ供給するよう配線接続がなされている。したがって、第1の双方向シフトレジスタのシフト方向を第1の方向に設定することで、複数の相にシリアルーパラレル変換された複数の画像信号はその相順のとおり各データ線へ順方向に順次供給される。すなわち、1走査線の先頭画素から後尾画素の画像信号が例えば左側のデータ線から

右側のデータ線へ順次供給される。これにより、第1の表示画像が表示される。

【0021】第2のサンプリング回路は、例えば第1相～第6相の画像信号を第6～第1のデータ線へそれぞれ供給するよう配線接続がなされている。したがって、第2の双方向シフトレジスタのシフト方向を第2の方向に設定することで、複数の相にシリアルーパラレル変換された複数の画像信号はその相順のとおり各データ線へ第2の方向に順次供給される。すなわち、1走査線の先頭画素から後尾画素の例えば画像信号が右側のデータ線から左側のデータ線へ順次供給される。これにより、例えば左右反転画像が表示される。

【0022】さらに、本発明の電気光学装置は、前記第1及び第2の双方向シフトレジスタは共通のクロック信号により駆動されることを特徴とするこのよう2つのシフトレジスタを共通のクロックで駆動することにより、必要なクロックの数を少なくすることができる。さらに、前記第1及び第2の双方向シフトレジスタは共通の走査方向選択信号によりシフト方向が設定されることを特徴とする。このようにすることにより、1つの走査方向選択信号で2つの双方向シフトレジスタを制御できる。さらに、前記切替回路は、前記走査方向選択信号に基づき、前記第1のシフトレジスタにサンプリングスタート信号及びプリチャージスタート信号の一方を選択的に供給し、前記第2のシフトレジスタにサンプリングスタート信号及びプリチャージスタート信号の他方を選択的に供給し、前記走査方向選択信号に基づき、前記第1の配線群に、画像信号及びプリチャージ電位の一方を選択的に供給し、前記第2の配線群に、表示データ及びプリチャージ電位の他方を選択的に供給することを特徴とする。このようにすることにより、簡単な構成で、配線群への表示データ、プリチャージ電位の切替を行うことができる。また、本発明の電気光学装置は、画像信号が供給される複数のデータ線と、走査信号が供給される複数の走査線と、前記各データ線および前記各走査線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを備えた電気光学装置において、信号線群と、第1の表示モードの場合に、シリアルーパラレル変換された複数の画像信号を前記信号線群へ第1の順に供給し、第2の表示モードの場合に、前記シリアルーパラレル変換された複数の画像信号を前記信号線群へ前記第1の順とは逆の第2の順に供給する画像信号相順入替回路と、前記第1の表示モードの場合、第1の方向にシフト方向が設定され、前記第2の表示モードの場合、第2の方向にシフト方向が設定されるサンプリング制御用双方向シフトレジスタと、前記サンプリング制御用双方向シフトレジスタの出力のタイミングに基づいて、前記信号線群の電位の状態を前記データ線に伝えるサンプリング回路とを有することを特徴とする。さらに、前記第1の双方向シフトレジスタは、前記第1の配

線群の電位が複数の前記データ線に順次伝わるように、前記第1のサンプリング回路へ出力信号を供給するよう構成され、前記第2の双方向シフトレジスタは、前記第2の配線群の電位が、複数の前記データ線に順次伝わるように、前記第2サンプリング回路へ出力信号を供給するよう構成されていることを特徴とする。このようにすることにより、複数のデータ線の電位が一度に変化することを防ぐことが出来る。さらに、前記第1の双方向シフトレジスタは、前記第1の配線群の電位が、複数の前記データ線に同時に伝わるように、前記第1のサンプリング回路へ出力信号を供給するよう構成され、前記第2の双方向シフトレジスタは、前記第2の配線群の電位が、複数の前記データ線に同時に伝わるように、前記第2サンプリング回路へ出力信号を供給するよう構成されることを特徴とする。このような構成を採ることにより、シフトレジスタの駆動周波数を低減することができる。

【0023】上記構成を採ることにより、第1の表示モードでは、複数の相にシリアルーパラレル変換された複数の画像信号を複数の画像信号線へ相順に供給するとともに、サンプリング制御用双方向シフトレジスタのシフト方向を第1の方向とする。サンプリング回路は、第1の方向にシフトされるサンプリングタイミング信号に基づいて、複数の画像信号線に相順に供給されている複数の画像信号をデータ線へ順次供給する。すなわち、1走査ラインの先頭画素から後尾画素の画像信号がたとえば左側のデータ線から右側のデータ線へ順次供給される。これにより、第1の表示画像が表示される。

【0024】第2の表示モードでは、複数の相にシリアルーパラレル変換された複数の画像信号を複数の画像信号線へ相順を逆にして供給するとともに、サンプリング制御用双方向シフトレジスタのシフト方向を第2の方向とする。サンプリング回路は、第2の方向にシフトされるサンプリングタイミング信号に基づいて、複数の画像信号線に相順を逆にして供給されている複数の画像信号をデータ線へ順次供給する。すなわち、1走査線の先頭画素から後尾画素の画像信号がたとえば右側のデータ線から左側のデータ線へ順次供給される。これにより、例えば、左右反転画像が表示される。

【0025】さらに、前記第1の表示モードではシフト方向が第1の方向に設定され、前記第2の表示モードでは前記シフト方向が第2の方向に設定されるとともに、プリチャージスタート信号を指定されたシフト方向へシフトすることで各シフト段からプリチャージタイミング信号を順次出力するプリチャージ制御用双方向シフトレジスタと、前記プリチャージタイミング信号に基づいて前記データ線にプリチャージ電位を供給するプリチャージ回路とを備えたことを特徴とする。

【0026】上記構成を採ることにより、第1の表示と第2の表示との切り替えが可能であるとともに、各デー

タ線へ対する画像信号の順次サンプリングに先行して、各データ線をプリチャージすることができる。

【0027】

【発明の実施の形態】以下、この発明の実施の形態を添付図面に基づいて説明する。

【0028】図1は第1の実施の形態における電気光学装置のブロック構成図である。本実施の形態は、6相にシリアル-パラレル変換された画像信号VID1～VID6に基づいて画像表示を行なう電気光学装置10を示している。また、本実施の形態は、アクティブマトリクス型の液晶表示装置を用いた例を示している。

【0029】電気光学装置10は、走査方向選択信号DIRに基づいて第1の表示モードである標準画像表示モードと第2の表示モードである左右反転画像表示モードとを切り替えることができる。本実施の形態では、例えば、走査方向選択信号DIRをHレベルに設定すると標準画像表示モードとして動作して標準画像が表示され、走査方向選択信号DIRをLレベルに設定すると左右反転画像表示モードとして動作して左右が反転された画像が表示される。

【0030】この電気光学装置10は、画像表示部11と、走査線駆動回路12と、第1の双方向シフトレジスタ13と、第2の双方向シフトレジスタ14と、第1のサンプリング回路15と、第2のサンプリング回路16と、切替回路17とからなる。符号18は第1の配線群であり、この第1の配線群18は6本の信号線18a～18fを備える。符号19は第2の配線群であり、この第2の配線群19は6本の配線19a～19fを備える。

【0031】符号SPSはサンプリングスタート信号、符号PRSはプリチャージスタート信号である。符号VID1～VID6は6相にシリアル-パラレル変換された画像信号、符号VPSはプリチャージ電位である。符号DIRは走査方向選択信号、符号HCKは水平クロック信号である。符号VSTは垂直スタート信号、符号VCKは垂直クロック信号である。

【0032】画像表示部11は、列状に配設された複数のデータ線Y1～YN（図1ではY1～Y6を示す）と、行状に配設された複数の走査線X1～XMと、格子状に配設された複数の画素LCと、各画素LCにそれぞれ対応して設けられた複数の薄膜トランジスタTRとを備える。薄膜トランジスタTRのドレインはデータ線Yに接続され、ゲートは走査線Xに接続され、ソースは画素LCの画素電極に接続される。

【0033】なお、画像表示部11は、ハードガラス等からなる基板（図示しない）上に各データ線Y1～YN、各走査線X1～XM、各画素LC、各薄膜トランジスタTR、必要に応じて容量線（図示しない）等が設けられている。そして、薄膜トランジスタ等が形成された基板（図示しない）と対向電極等を備えたガラス等から

なる基板（図示しない）とが所定の間隔で積層配置され、各基板間に液晶材料が封入・密閉されている。

【0034】走査線駆動回路12は、シフトレジスタ等を用いて構成している。この走査線駆動回路12は、垂直スタート信号VSTを垂直クロック信号VCKに基づいて順次シフトすることで、走査信号φV1～φVMを生成して出力する。走査信号φV1～φVMは、各走査線X1～XMへそれぞれ供給される。これにより、各走査線X1～XMの線順次走査がなされる。

【0035】第1の双方向シフトレジスタ13は、水平クロック信号入力端子CLKINと、スタート信号入力端子DATAINと、走査方向選択信号入力端子DIRINとを備える。第1の双方向シフトレジスタ13は、走査方向選択信号入力端子DIRINがHレベルに設定されると第1の方向にシフトする順方向シフトレジスタとして動作する。順方向シフトレジスタとしての動作状態では、スタート信号入力端子DATAINにHレベルの出力信号を供給すると、このHレベルの出力信号は水平クロック信号入力端子CLKINに供給された水平クロック信号に同期して順方向（シフトレジスタの先頭段から後尾段へ向かう方向）にシフトされる。したがって、各シフト段毎の出力信号AH1～AH6がその番号順に順次Hレベルとなる。言い換えれば、AH1, AH2, AH3, …… , AHNの順にシフトした出力信号が発生する。

【0036】第1の双方向シフトレジスタ13は、走査方向選択信号入力端子DIRINがLレベルに設定されると第2の方向にシフトする逆方向シフトレジスタとして動作する。逆方向シフトレジスタとしての動作状態では、スタート信号入力端子DATAINにHレベルの信号を供給すると、このHレベルの信号は水平クロック信号入力端子CLKINに供給された水平クロック信号に同期して逆方向（シフトレジスタの後尾段から先頭段へ向かう方向）にシフトされる。したがって、各シフト段毎の出力信号AH1～AH6がその番号の逆順に順次Hレベルとなる。言い換えれば、AHM, …… , AH6, AH5, AH4, AH3, AH2, AH1の順にシフトした信号が発生する。なお、AS1～AS6、BS1～BS6が同時に選択されるようにシフトした信号が発生するように水平クロック信号を構成しても良い。この場合、タイミングチャートは図2のBH1～BH6の信号が同時に発生し、次のタイミングでBH7～BH12

（図示せず）が同時に発生する。またAH1～AH6の信号も同時に発生し、次のタイミングでAH7～AH12（図示せず）が同時に発生する。逆方向のシフトが選択された場合も同様である。そして、このように同時選択した場合は、シフトレジスタの駆動周波数を低減できるという効果がある。

【0037】第2の双方向シフトレジスタ14は、水平クロック信号入力端子CLKINと、スタート信号入力

端子DATAINと、走査方向選択信号入力端子DIRINとを備える。この第2の双方向シフトレジスタ14の構成ならびに動作は第1の双方向シフトレジスタ13と同じである。順方向シフトレジスタとしての動作状態では、BH1, BH2, BH3, …… , BHNの順にシフトした出力信号が発生され、逆方向シフトレジスタとしての動作状態では、BHM, …… , BH6, BH5, BH4, BH3, BH2, BH1の順にシフトした出力信号が発生される。

【0038】第1のサンプリング回路15は、複数のスイッチ回路AS1～ASMを備える。図1では第1～第6のスイッチ回路AS1～AS6を示している。各スイッチ回路AS1～AS6は、薄膜トランジスタやトランスミションゲートを用いて構成している。各スイッチ回路AS1～AS6は、制御端子がHレベルに設定されると導通状態となり、制御端子がLレベルに設定されると非導通状態となる。

【0039】第1のスイッチ回路AS1の一方の端子は第1の配線群18の第1の配線18aへ接続され、第1のスイッチ回路AS1の他方の端子は第1のデータ線Y1へ接続される。第2～第6のスイッチ回路AS2～AS6の一方の端子は第2～第6の配線18b～18fへそれぞれ接続され、第2～第6のスイッチ回路AS2～AS6の他方の端子は第2～第6のデータ線Y2～Y6へそれぞれ接続される。

【0040】第1のスイッチ回路AS1の制御端子には、第1の双方向シフトレジスタ13の第1の出力信号AH1が供給される。第2～第6のスイッチ回路AS2～AS6の制御端子には、第1の双方向シフトレジスタ13の第2～第6の出力信号AH2～AH6がそれぞれ供給される。

【0041】なお、図示しない第7のスイッチ回路以降についても、6個のスイッチ回路を1組として上記と同様な接続が繰り返しなされている。

【0042】第2のサンプリング回路16は、複数のスイッチ回路BS1～BSMを備える。図1では第1～第6のスイッチ回路BS1～BS6を示している。各スイッチ回路BS1～BS6は、薄膜トランジスタやトランスミションゲートを用いて構成している。各スイッチ回路BS1～BS6は、制御端子がHレベルに設定されると導通状態となり、制御端子がLレベルに設定されると非導通状態となる。

【0043】第1のスイッチ回路BS1の一方の端子は第2の配線群19の第6の配線19fへ接続され、第1のスイッチ回路BS1の他方の端子は第1のデータ線Y1へ接続される。第2～第6のスイッチ回路BS2～BS6の一方の端子は第5～第1の配線19e～19aへそれぞれ接続され、第2～第6のスイッチ回路BS2～BS6の他方の端子は第2～第6のデータ線Y2～Y6へそれぞれ接続される。

【0044】第1のスイッチ回路BS1の制御端子には第2の双方向シフトレジスタ13の第1の出力信号AH1が供給される。第2～第6のスイッチ回路AS2～AS6の制御端子には、第1の双方向シフトレジスタ13の第2～第6の出力信号AH2～AH6がそれぞれ供給される。

【0045】なお、図示しない第7のスイッチ回路以降についても、6個のスイッチ回路を1組として上記と同様な接続が繰り返しなされている。

【0046】サンプリングスタート信号SPS、プリチャージスタート信号PRS、各相の画像信号VID1～VID6ならびにプリチャージ電位VPSは、切替回路17へ供給される。

【0047】切替回路17は複数のスイッチ回路を備えており、切替制御信号入力端子17aに供給される走査方向選択信号DIRに基づいて、サンプリングスタート信号SPS、プリチャージスタート信号PRS、各相の画像信号VID1～VID6ならびにプリチャージ電位VPSの供給先を切り替える。

【0048】この切替回路17は、サンプリングスタート信号SPSの入力端子と、プリチャージスタート信号PRSの入力端子と、各相の画像信号VID1～VID6の入力端子群と、プリチャージ電位VPSの入力端子と、第1の双方向シフトレジスタ13のスタート信号入力端子DATAINへ供給する信号の出力端子と、第2の双方向シフトレジスタ14のスタート信号入力端子DATAINへ供給する信号の出力端子と、第1の配線群18の各配線18a～18fへ供給する信号の出力端子と、第2の配線群19の各配線19a～19fへ供給する信号の出力端子とを備えている。

【0049】この切替回路17は、走査方向選択信号DIRがHレベルに設定された場合（標準画像表示モードが設定された場合）、切替回路17内の各スイッチ回路は図示の矢印で示す切り替え状態となる。そして、その切り替え状態において、サンプリングスタート信号SPSは第1の双方向シフトレジスタ13のスタート信号入力端子DATAINへ供給され、プリチャージスタート信号PRSは第2の双方向シフトレジスタ14のスタート信号入力端子DATAINへ供給され、各相の画像信号VID1～VID6は第1の配線群18の第1～第6の配線18a～18fへそれぞれ供給され、プリチャージ電位VPSは第2の配線群19の第1～第6の配線19a～19fへそれぞれ供給されるよう構成している。

【0050】この切替回路17は、走査方向選択信号DIRがLレベルに設定された場合（反転標準画像表示モードが設定された場合）、切替回路17内の各スイッチ回路は図示の矢印で示す切り替えと反対の状態となる。そして、その切り替え状態において、サンプリングスタート信号SPSは第2の双方向シフトレジスタ14のスタート信号入力端子DATAINへ供給され、プリチャ

ージスタート信号PRSは第1の双方向シフトレジスタ13のスタート信号入力端子DATAINへ供給され、各相の画像信号VID1～VID6は第2の配線群19の第1～第6の配線19a～19fへそれぞれ供給され、プリチャージ電位VPSは第1の配線群18の第1～第6の配線18a～18fへそれぞれ供給されるよう構成している。

【0051】走査方向選択信号DIRは、各双方向シフトレジスタ13、14の走査方向選択信号入力端子DIRINへそれぞれ供給される。水平クロック信号HCKは、各双方向シフトレジスタ13、14の水平クロック信号入力端子CLKINへそれぞれ供給される。

【0052】なお、各相の画像信号VID1～VID6は、標準画像表示モードにおいて標準画像が表示されるようにシリアル～パラレル変換されている。具体的には、次のとおりである。第1相の画像信号VID1は、データ線Y1、Y7、Y13、…に供給する画像信号が所定の時間間隔で順次供給されるものである。第2相の画像信号VID2は、データ線Y2、Y8、Y14、…に供給する画像信号が所定の時間間隔で順次供給されるものである。第3相の画像信号VID3は、データ線Y3、Y9、Y15、…に供給する画像信号が所定の時間間隔で順次供給されるものである。第4相の画像信号VID4は、データ線Y4、Y10、Y16、…に供給する画像信号が所定の時間間隔で順次供給されるものである。第5相の画像信号VID5は、データ線Y5、Y11、Y17、…に供給する画像信号が所定の時間間隔で順次供給されるものである。第6相の画像信号VID6は、データ線Y6、Y12、Y18、…に供給する画像信号が所定の時間間隔で順次供給されるものである。

【0053】プリチャージスタート信号PRSは水平帰線期間内に供給され、サンプリングスタート信号SPSは水平有効表示期間の先頭に同期して供給される。プリチャージスタート信号PRSとサンプリングスタート信号SPSとの間には所定の時間差を設けるようにすると良い。これにより、プリチャージ期間内に実際の画像信号が選択されていないため、表示異常を引き起こすことはない。具体的には、プリチャージスタート信号PRSがまず供給され、次に水平有効表示期間の先頭に同期してサンプリングスタート信号SPSが供給される。

【0054】プリチャージ電位VPSは、各画素LCをプリチャージするための信号であり、このプリチャージ電位VPSとして液晶の透過率が例えば50パーセント程度になる直流電圧を用いる。各画素LCに画像信号VID1～VID6の電圧を供給するに先立って、各画素LCを所定の電位に供給しておくことで、画像信号VID1～VID6に基づく充放電を低減させることができる。これにより、充放電に伴って画像信号VID1～VID6の電圧レベルが揺れのを防止でき、表示画像の品位が低下するのを防止することができる。

【0055】次に、図1に示した電気光学装置10の動作を説明する。この電気光学装置10を用いて標準画像を表示させる場合には、走査方向選択信号DIRをHレベルに設定する。これにより、各双方向シフトレジスタ13、14のシフト方向は順方向に設定される。走査方向選択信号DIRがHレベルに設定されると、第1の配線群18の各配線18a～18fには切替回路17を介して各相の画像信号VID1～VID6がそれぞれ供給され、第1の双方向シフトレジスタ13のスタート信号入力端子DATAINには切替回路17を介してサンプリングスタート信号SPSが供給される。さらに、第2の配線群19の各配線19a～19fにはプリチャージ電位VPSがそれぞれ供給され、第2の双方向シフトレジスタ14のスタート信号入力端子DATAINにはプリチャージスタート信号PRSが供給される。

【0056】図2は図1に示した電気光学装置の標準画像表示モードの動作を示すタイミングチャートである。図2(a)は水平クロック信号VCKを、図2(b)はプリチャージスタート信号PRSを、図2(c)は第2の双方向シフトレジスタ14の各出力信号BH1～BH6を示している。図2(d)はサンプリングスタート信号SPSを、図2(e)は第1の双方向シフトレジスタ13の各出力信号AH1～AH6を示している。図2(f)は各データ線Y1～Y6の状態を示している。

【0057】第2の双方向シフトレジスタ14は、スタート信号入力端子DATAINに供給されたプリチャージスタート信号PRSを水平クロック信号入力端子CLKINに供給された水平クロック信号HCKに同期して順方向へ順次シフトさせることで、図2(c)に示すように、各出力信号BH1～BH6を順次出力する。

【0058】図1に示した第2のサンプリング回路16内の各スイッチ回路BS1～BS6は、第2の双方向シフトレジスタ14の出力信号BH1～BH6に基づいて順次導通状態となる。これにより、第2の配線群19の各配線19a～19fに供給されているプリチャージ信号VPSが各データ線Y1～Y6に順次供給される。

【0059】すなわち、図2(c)ならびに図2(f)に示すように、第2の双方向シフトレジスタ14の出力信号BH1に基づいてデータ線Y1にプリチャージ電位VPSが供給される。ここで、図1に示した第1の走査線X1にHレベルの走査信号φV1が供給されている状態であれば、薄膜トランジスタTRを介してデータ線Y1と走査線X1で特定される画素LCにプリチャージ電位VPSが供給され、プリチャージされる。同様に、図2(c)ならびに図2(f)に示すように、第2の双方向シフトレジスタ14の各出力信号BH2～BH6に基づいて各データ線Y2～Y6にプリチャージ電位VPSが順次供給され、対応する画素が順次プリチャージされる。

【0060】第1の双方向シフトレジスタ13は、スタ

ート信号入力端子DATAINに供給されたサンプリングスタート信号SPSを水平クロック信号入力端子CLKINに供給された水平クロック信号HCKに同期して順方向へ順次シフトさせることで、図2(e)に示すように、各出力信号AH1～AH6を順次出力する。

【0061】図1に示した第1のサンプリング回路15内の各スイッチ回路AS1～AS6は、第1の双方向シフトレジスタ13の出力信号AH1～AH6に基づいて順次導通状態となる。これにより、第1の配線群18の各配線18a～18fに供給されている各相の画像信号VID1～VID6が各データ線Y1～Y6に順次供給される。

【0062】すなわち、図2(e)ならびに図2(f)に示すように、第1の双方向シフトレジスタ13の出力信号AH1に基づいてデータ線Y1に第1相の画像信号VID1が供給される。ここで、図1に示した第1の走査線X1にHレベルの走査信号φV1が供給されている状態であれば、薄膜トランジスタTRを介してデータ線Y1と走査線X1で特定される画素LCに第1相の画像信号VID1が供給され、その画素に画像信号VID1が書き込まれる。同様に、図2(e)ならびに図2

(f)に示すように、第1の双方向シフトレジスタ13の各出力信号AH2～AH6に基づいて各データ線Y2～Y6に各画像信号VID2～VID6が順次供給され、対応する画素に各画像信号VID2～VID6が書き込まれる。

【0063】このように走査方向選択信号DIRがHレベルに設定された標準画像表示モードでは、1水平走査期間で第1のデータ線Y1から最終のデータ線YNへ画像信号VID1～VID6が順次供給される。すなわち、第1のデータ線Y1から最終のデータ線YNへ向って水平走査がなされ、点順次で画像信号が各画素に書き込まれる。これにより、標準画像を表示させることができる。

【0064】この電気光学装置10を用いて左右反転画像を表示させる場合には、走査方向選択信号DIRをLレベルに設定する。これにより、各双方向シフトレジスタ13、14のシフト方向は逆方向に設定される。走査方向選択信号DIRがLレベルに設定されると、切替回路17を介して、第2の配線群19の各配線19a～19fへ各相の画像信号VID1～VID6がそれぞれ供給され、第2の双方向シフトレジスタ14のスタート信号入力端子DATAINへサンプリングスタート信号SPSが供給される。さらに、第1の配線群18の各配線18a～18fへプリチャージ電位VPSがそれぞれ供給され、第1の双方向シフトレジスタ13のスタート信号入力端子DATAINへプリチャージスタート信号PRSが供給される。

【0065】図3は図1に示した電気光学装置の反転画像表示モードの動作を示すタイミングチャートである。

図3(a)は水平クロック信号HCKを、図3(b)はプリチャージスタート信号PRSを、図3(c)は第1の双方向シフトレジスタ14の各出力信号AH1～AH6を示している。図3(d)はサンプリングスタート信号SPSを、図3(e)は第2の双方向シフトレジスタ13の各出力信号BH1～BH6を示している。図2(f)は各データ線Y1～Y6の状態を示している。

【0066】第1の双方向シフトレジスタ13は、スタート信号入力端子DATAINに供給されたプリチャージスタート信号PRSを水平クロック信号入力端子CLKINに供給された水平クロック信号HCKに同期して逆方向へ順次シフトさせることで、図3(c)に示すように、各出力信号AH6～AH1を順次出力する。

【0067】なお、図3ではプリチャージスタート信号PRSが供給されると水平クロック信号HCKに同期して出力信号AH6が直ちに出力されるように示しているが、実際には第1の双方向シフトレジスタ13の後尾段から先頭段へ向ってプリチャージスタート信号PRSが順次シフトされてくるために、プリチャージスタート信号PRSが供給された時点から出力信号AH6が発生するまでに所定の時間を要する。

【0068】図1に示した第1のサンプリング回路15内の各スイッチ回路AS6～AS1は、第1の双方向シフトレジスタ14の出力信号AH6～AH1に基づいて順次導通状態となる。これにより、第1の配線群18の各配線18a～18fに供給されているプリチャージ電位VPSが各データ線Y6～Y1に順次供給される。

【0069】すなわち、図3(c)ならびに図3(f)に示すように、第1の双方向シフトレジスタ13の出力信号AH6に基づいてデータ線Y6にプリチャージ信号VPSが供給される。ここで、図1に示した第1の走査線X1にHレベルの走査信号φV1が供給されている状態であれば、薄膜トランジスタTRを介してデータ線Y6と走査線X1で特定される画素LCにプリチャージ信号VPSが供給され、プリチャージされる。同様に、図3(c)ならびに図3(f)に示すように、第1の双方向シフトレジスタ13の各出力信号AH5～AH1に基づいて各データ線Y5～Y1にプリチャージ電位VPSが順次供給され、対応する画素が順次プリチャージされる。

【0070】第2の双方向シフトレジスタ14は、スタート信号入力端子DATAINに供給されたサンプリングスタート信号SPSを水平クロック信号入力端子CLKINに供給された水平クロック信号HCKに同期して逆方向へ順次シフトさせることで、図3(e)に示すように、各出力信号BH6～BH1を順次出力する。

【0071】なお、図3ではサンプリングスタート信号SPSが供給されると水平クロック信号HCKに同期して出力信号BH6が直ちに出力されるように示しているが、実際には第2の双方向シフトレジスタ14の後尾段

から先頭段へ向ってサンプリングスタート信号SPSが順次シフトされてくるために、サンプリングスタート信号SPSが供給された時点から出力信号BH6が発生するまでに所定の時間を要する。

【0072】図1に示した第2のサンプリング回路16内の各スイッチ回路BS6～BS1は、第2の双方向シフトレジスタ16の出力信号BH6～BH1に基づいて順次導通状態となる。これにより、第2の配線群19の各配線19a～19fに供給されている各相の画像信号VID1～VID6が各データ線Y6～Y1に順次供給される。

【0073】すなわち、図3(e)ならびに図3(f)に示すように、第2の双方向シフトレジスタ14の出力信号BH6に基づいてデータ線Y6に第1相の画像信号VID1が供給される。ここで、図1に示した第1の走査線X1にHレベルの走査信号φV1が供給されている状態であれば、薄膜トランジスタTRを介してデータ線Y6と走査線X1で特定される画素LCに第1相の画像信号VID1が供給され、その画素に画像信号VID1が書き込まれる。同様に、図3(e)ならびに図3

(f)に示すように、第2の双方向シフトレジスタ14の各出力信号BH5～BH1に基づいて各データ線Y5～Y1に各画像信号VID2～VID6が順次供給され、対応する画素に各画像信号VID2～VID6が書き込まれる。

【0074】このように走査方向選択信号DIRがLレベルに設定された左右反転画像表示モードでは、1水平走査期間でデータ線YNから第1のデータ線Y1へ画像信号VID1～VID6が順次供給される。すなわち、標準画像表示モードとは逆方向の水平走査がなされ、点順次で画像信号が各画素に書き込まれる。これにより、左右反転画像を表示させることができる。

【0075】図4は第2の実施の形態における電気光学装置のブロック構成図である。図4に示す電気光学装置20は、画像表示部21と、走査線駆動回路22と、サンプリング制御用双方向シフトレジスタ23と、プリチャージ制御用双方向シフトレジスタ24と、サンプリング回路25と、プリチャージ回路26と、画像信号相順入替回路27と、画像配線群28と、プリチャージ電位線29とからなる。画像信号線群28は、6本の画像信号線28a～28fを備える。画像表示部21ならびに走査線駆動回路22の構成は、図1に示した画像表示部11ならびに走査線駆動回路12と同じである。

【0076】サンプリング制御用双方向シフトレジスタ23は、走査方向選択信号入力端子DIRINに供給される走査方向選択信号DIRがHレベルの場合（標準画像表示モードが指定されている場合）は、スタート信号入力端子DATAINに供給されるサンプリングスタート信号SPSを水平クロック信号入力端子CLKINに供給される水平クロック信号HCKに基づいて順方向に

シフトして、各シフト段の出力AH1～AH6をその順に順次発生する。

【0077】サンプリング制御用双方向シフトレジスタ23は、走査方向選択信号入力端子DIRINに供給される走査方向選択信号DIRがLレベルの場合（反転画像表示モードが指定されている場合）は、スタート信号入力端子DATAINに供給されるサンプリングスタート信号SPSを水平クロック信号入力端子CLKINに供給される水平クロック信号HCKに基づいて逆方向にシフトして、各シフト段の出力AH6～AH1をその順に順次発生する。

【0078】プリチャージ制御用双方向シフトレジスタ24は、走査方向選択信号入力端子DIRINに供給される走査方向選択信号DIRがHレベルの場合（標準画像表示モードが指定されている場合）は、スタート信号入力端子DATAINに供給されるプリチャージスタート信号PRSを水平クロック信号入力端子CLKINに供給される水平クロック信号HCKに基づいて順方向にシフトして、各シフト段の出力BH1～BH6～BHNをその順に順次発生する。

【0079】プリチャージ制御用双方向シフトレジスタ24は、走査方向選択信号入力端子DIRINに供給される走査方向選択信号DIRがLレベルの場合（反転画像表示モードが指定されている場合）は、スタート信号入力端子DATAINに供給されるプリチャージスタート信号PRSを水平クロック信号入力端子CLKINに供給される水平クロック信号HCKに基づいて逆方向にシフトして、各シフト段の出力BHN～BH6～BH1をその順に順次発生する。

【0080】サンプリング回路25は、複数のスイッチ回路AS1～AS6～ASNを備える。第1のスイッチ回路AS1は、サンプリング制御用双方向シフトレジスタ23の1段目の出力信号AH1に基づいて、第1の画像信号線28aに供給されている画像信号を第1のデータ線Y1へ供給する。第2のスイッチ回路AS2は、2段目の出力信号AH2に基づいて、第2の画像信号線28bに供給されている画像信号を第2のデータ線Y2へ供給する。同様に、第3～第6のスイッチ回路AS3～AS6は、3～6段目の各出力信号AH3～AH6に基づいて、第3～第6の画像信号線28c～28fに供給されている画像信号を第3～第6のデータ線Y3～Y6へそれぞれ供給する。なお、図示していないが、第7のスイッチ回路以降についても、6個のスイッチ回路を1組として同様な接続が繰り返される。

【0081】プリチャージ回路26は、複数のスイッチ回路BS1～BS6～BSNを備える。第1のスイッチ回路BS1は、プリチャージ制御用双方向シフトレジスタ24の1段目の出力信号BH1に基づいて、プリチャージ電位線29に供給されているプリチャージ電位VPを第1のデータ線Y1へ供給する。第2のスイッチ回

路BS2は、2段目の出力信号BH2に基づいて、プリチャージ電位VPSを第2のデータ線Y2へ供給する。同様に、第3～第6～第Nのスイッチ回路BS3～BS6～BSNは、3～6～N段目の各出力信号BH3～BH6～BHNに基づいて、プリチャージ信号VPSを第3～第6～第Nのデータ線Y3～Y6～YNへそれぞれ供給する。

【0082】画像信号相順入替回路27は、各相の画像信号VID1～VID6の入力端子群と、各画像信号線28a～28fへ画像信号を供給する出力端子群と、これらの入力端子群と出力端子群との間に設けられた複数のスイッチ回路とを備える。

【0083】画像信号相順入替回路27は、相順指定信号入力端子27aに供給される走査方向選択信号DIRがHレベルの場合（標準画像表示モードが指定されている場合）は、第1相の画像信号VID1を第1の画像信号線28aへ供給し、第2相の画像信号VID2を第2の画像信号線28bへ供給し、同様に第3相～第6相の画像信号VID3～VID6を第3～第6の画像信号線28c～28fへそれぞれ供給する。

【0084】画像信号相順入替回路27は、相順指定信号入力端子27aに供給される走査方向選択信号DIRがLレベルの場合（反転画像表示モードが指定されている場合）は、第1相の画像信号VID1を第6の画像信号線28fへ供給し、第2相の画像信号VID2を第5の画像信号線28eへ供給し、同様に第3相～第6相の画像信号VID3～VID6を第4～第1の画像信号線28d～28aへそれぞれ供給する。

【0085】次に以上の構成における動作を説明する。走査方向選択信号DIRがHレベルに設定された標準画像表示モードでは、第1～第6の画像信号線28a～28fに第1相～第6相の画像信号VID1～VID6がその順に供給される。サンプリング制御用双方向シフトレジスタ23は、順方向にシフト動作を行なうので、各シフト段の出力信号AH1～AH6がその順に順次出力される。サンプリング回路25は、各シフト段の出力信号AH1～AH6に基づいて第1相～第6相の画像信号VID1～VID6を第1～第6のデータ線Y1～Y6へ順次供給する。したがって、第1のデータ線Y1からデータ線YNへ向って点順次で画像信号が各画素に書き込まれる。よって、標準画像を表示させることができる。

【0086】走査方向選択信号DIRがLレベルに設定された反転画像表示モードでは、画像信号相順入替回路27によって、第1相～第6相の画像信号VID1～VID6の相順が入れ替えられて、第1～第6の画像信号線28a～28fへ供給される。サンプリング制御用双方向シフトレジスタ23は、逆方向にシフト動作を行なうので、各シフト段の出力信号AH6～AH1がその順に順次出力される。サンプリング回路25は、各シフト

段の出力信号AH6～AH1に基づいて第6相～第1相の画像信号VID6～VID1を第6～第1のデータ線Y6～Y1へ順次供給する。したがって、データ線YNからデータ線Y1へ向って点順次で画像信号が各画素に書き込まれる。

【0087】データ線の走査方向のみを反対にしても正確に左右を反転した画像を得ることができない。第2の実施の形態に係る電気光学装置20は、反転表示モードで画像信号線28a～28fへ供給する画像信号の相順を反転しているので、データ線YNからデータ線Y1の方向に走査した際に各画像信号を正しい相順に書き込むことができる。これにより、左右反転された画像を表示させることができる。

【0088】なお、サンプリングスタート信号SPSに先立ってプリチャージ信号PRSを供給することで、各データ線をプリチャージした後に各データ線に画像信号を書き込みことができる。

【0089】図1および図4では、図示しない画像表示制御部等から走査方向選択信号DIRを供給し、走査方向選択信号DIRの論理レベルに応じて標準画像表示モードと反転画像表示モードとを切り替える構成を示したが、電気光学装置10、20側に走査方向選択信号DIRの論理レベルを設定するスイッチ等を設け、電気光学装置10、20側で表示モードを設定できるようにしてもよい。

（電子機器の構成）このような構成の電子機器として、図5に示す投射型表示装置などを挙げることができる。図5は、投射型表示装置の要部を示す概略構成図である。図中、1102は光源、1108はダイクロイックミラー、1106は反射ミラー、1122は入射レンズ、1123はリレーレンズ、1124は出射レンズ、100R、100G、100Bは上述した電気光学装置としての液晶装置を含む液晶光変調装置、1112はクロスダイクロイックプリズム、1114は投射レンズを示す。光源1102はメタルハライド等のランプとランプの光を反射するリフレクタとからなる。青色光・緑色光反射のダイクロイックミラー1108は、光源1102からの光束のうちの赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー1106で反射されて、赤色光用液晶光変調装置100Rに入射される。一方、ダイクロイックミラー1108で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー1108によって反射され、緑色光用液晶光変調装置100Gに入射される。一方、青色光は第2のダイクロイックミラー1108も透過する。青色光に対しては、長い光路による光損失を防ぐため、入射レンズ1122、リレーレンズ1123、出射レンズ1124を含むリレーレンズ系からなる導光手段1121が設けられ、これを介して青色光が青色光用液晶光変調装置100Bに入射される。各光変調装置により変調され

た3つの色光はクロスダイクロミックプリズム1112に入射する。このプリズムは4つの直角プリズムが貼り合わされ、その内面に赤光を反射する誘電体多層膜と青光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって3つの色光が合成されて、カラー画像を表す光が形成される。合成された光は、投射光学系である投射レンズ1114によってスクリーン1120上に投射され、画像が拡大されて表示される。また、投射型表示装置のほかにも、電子機器の例としては、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ等が挙げられる、そして、これらの各種電子機器に本発明に係る電気光学装置が適用可能であることは言うまでもない。本発明は、上述した各実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】第1の実施の形態における電気光学装置のブロック構成図である。

【図2】図1に示した電気光学装置の標準画像表示モードの動作を示すタイミングチャートである。

【図3】図1に示した電気光学装置の反転画像表示モードの動作を示すタイミングチャートである。

【図4】第2の実施の形態における電気光学装置のブロック構成図である。

【図5】本発明の電気光学装置を投射型表示装置に用いたブロック図である。

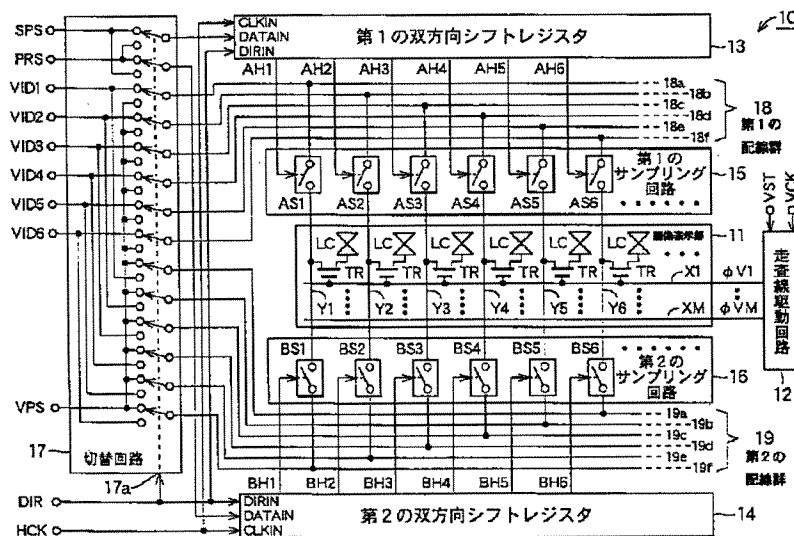
【図6】従来の電気光学装置のブロック構成図である。

【図7】シリアルーパラレル変換された複数の画像信号に基づいて画像表示を行なう従来の電気光学装置のブロック構成図である。

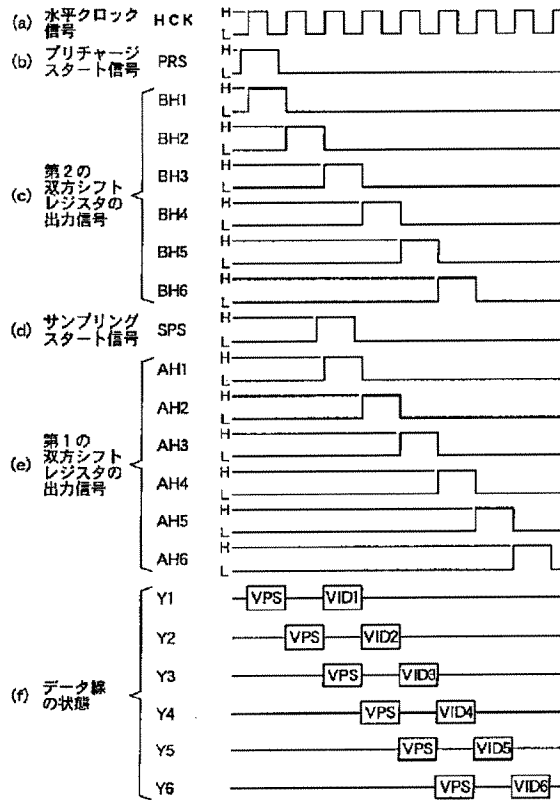
【符号の説明】

- 10, 20 電気光学装置
- 11, 21 画像表示部
- 12, 22 走査線駆動回路
- 13 第1の双方向シフトレジスタ
- 14 第2の双方向シフトレジスタ
- 15 第1のサンプリング回路
- 16 第2のサンプリング回路
- 17 切替回路
- 18 第1の配線群
- 19 第2の配線群
- 23 サンプリング制御用双方向シフトレジスタ
- 24 プリチャージ制御用双方向シフトレジスタ
- 25 サンプリング回路
- 26 プリチャージ回路
- 27 画像信号相順入替回路
- 28 画像信号線群
- 29 プリチャージ電位線
- AS1～AS6, BS1～BS6 スイッチ回路
- DIR 走査方向選択信号
- HCK 水平クロック信号
- PRS プリチャージスタート信号
- SPS サンプリングスタート信号
- VID1～VID6 画像信号
- VPS プリチャージ電位

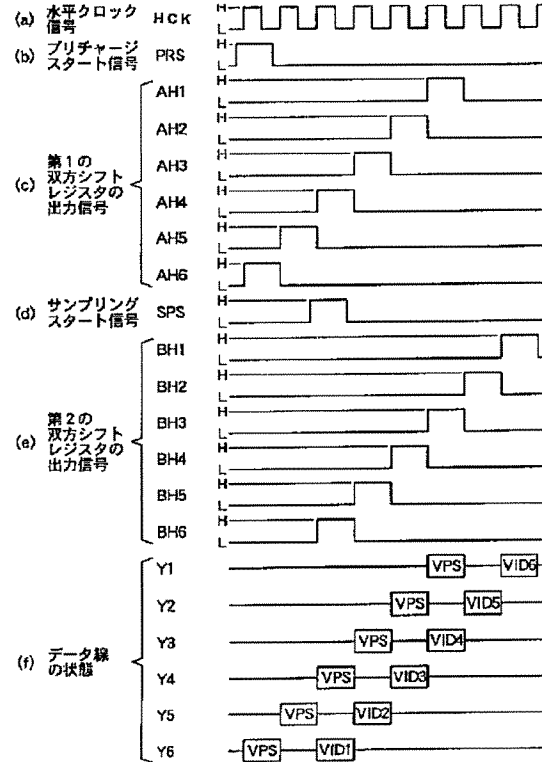
【図1】



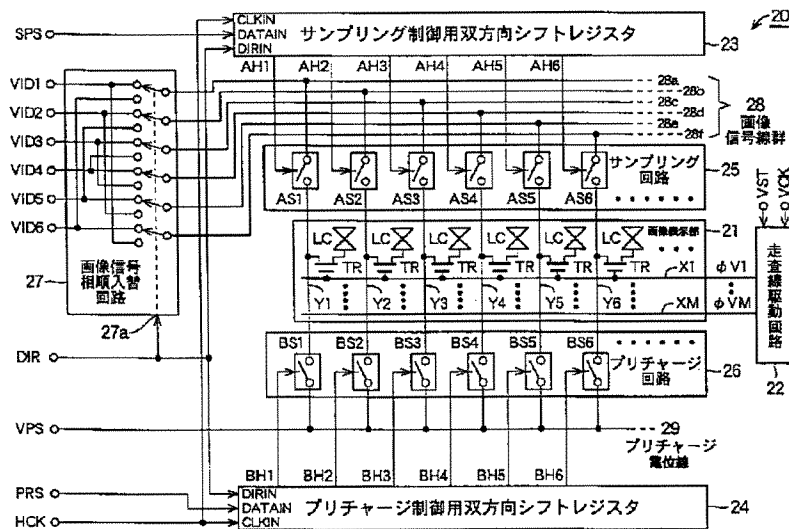
【図2】



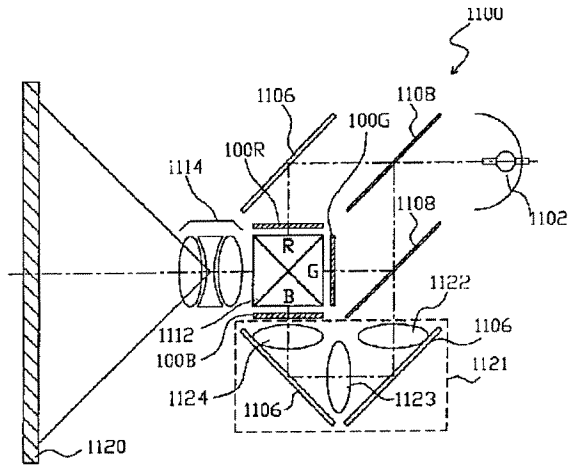
【図3】



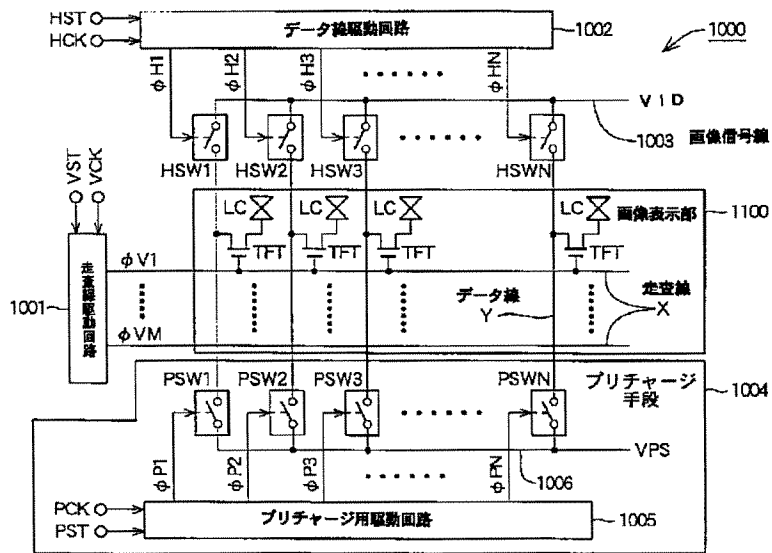
【図4】



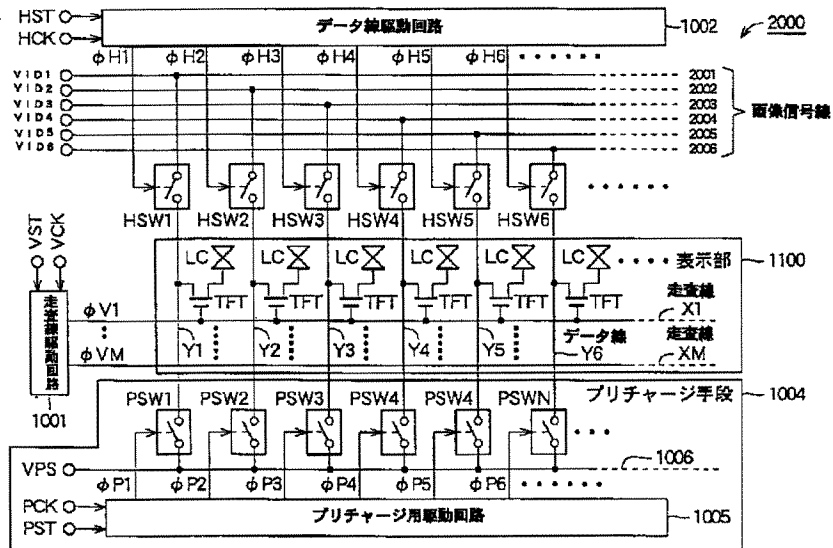
【図 5】



【图 6】



【図7】



フロントページの続き

F ターム(参考) 2H093 NA16 NC22 NC23 NC34 NC49
 ND05 ND09 ND15 ND39 ND60
 5C006 AB01 AC09 AC21 AF22 AF25
 BB16 BC06 BC23 BF03 BF11
 EC11 FA31
 5C080 AA10 BB05 DD12 DD30 EE32
 FF07 JJ02 JJ04 JJ06 KK43